

# MYC-C7Z010-20-V2

## 产品手册



文件状态： <input type="checkbox"/> 草稿 <input checked="" type="checkbox"/> 正式发布	<b>文件标识：</b>	MYIR-MYC-C7Z010-20-V2
	<b>当前版本：</b>	V1.0
	<b>作 者：</b>	Sender
	<b>创建日期：</b>	2022-5-18
	<b>最近更新：</b>	

# 版本历史

版本	作者	参与者	日期	备注
V1.0	Sender		2022-05-18	初版
V1.0	Sender		2023-02-22	补充说明 JTAG 的启动配置

# 目 录

版本历史.....	2
1. 概述.....	6
2. 产品介绍.....	8
2.1. 芯片说明.....	9
2.1.1. ZYNQ7000 系列资源比较.....	9
2.2. MYC-C7Z010-20-V2 主要参数.....	11
2.3. 系统框图.....	11
2.4. 标准型号.....	12
3. 引脚描述.....	13
3.1. 引脚示意图.....	13
3.2. 核心板引脚对照表.....	15
4. 电气特性.....	25
4.1. 主要电源 (VDD_5V) .....	25
4.2. 电源域.....	25
4.3. 电源功耗.....	25
4.4. GPIO 直流特性.....	25
5. 系统配置和启动.....	26
5.1. BOOT 模式设置.....	26
5.2. Reset and switch .....	26
6. 接口说明.....	27
6.1. SDMMC 接口.....	28
6.1.1. 引脚定义.....	28
6.2. UART 接口.....	28
6.2.1. 引脚定义.....	28
6.3. USB 接口.....	29
6.3.1. 引脚定义.....	29

6.4. Ethernet 接口 .....	30
6.4.1. 引脚定义 .....	30
6.5. QSPI 接口 .....	31
6.5.1. 引脚定义 .....	31
6.6. JTAG 接口 .....	31
6.6.1. 引脚定义 .....	31
6.7. HDMI 接口 .....	32
6.7.1. 引脚定义 .....	32
6.8. LCD 接口 .....	33
6.8.1. 引脚定义 .....	33
6.9. FMC 接口 .....	34
6.9.1. 引脚定义 .....	34
6.10. FPC 接口 .....	35
6.10.1. 引脚定义 .....	35
6.11. RTC 电池座接口 .....	36
6.11.1. 引脚定义 .....	36
6.12. CAN 接口 .....	36
6.12.1. 引脚定义 .....	36
6.13. GPIO 接口 .....	37
6.13.1. 引脚定义 .....	37
6.14. 核心板内部资源管脚说明 .....	38
<b>7. 封装信息 .....</b>	<b>40</b>
7.1. 机械尺寸 .....	40
7.2. 底板 PCB 封装 .....	41
7.3. 底板 PCB 要求 .....	41
<b>附录一 联系我们 .....</b>	<b>43</b>
深圳总部 .....	43
上海办事处 .....	43
北京办事处 .....	43
销售联系方式 .....	43
技术支持联系方式 .....	43

附录二 售后服务与技术支持.....	44
产品返修.....	44
维修周期.....	44
维修费用.....	44
运输费用.....	44

# 1. 概述

MYD-C7Z010-20-V2 开发板是由 MYC-C7Z010-20-V2 核心板加 MYB-C7Z010/20 底板组成，以 Xilinx Zynq-7010/7020 作为核心的嵌入式核心板。采用了 Xilinx 最新的基于 28nm 工艺流程的 Zynq-7000 All Programmable SoC 平台，将 ARM 处理器和 FPGA 架构紧密集成，PS 单元拥有双核 ARM Cortex-A9 MPCore 的高性能，低功耗特性，在设计中能更好的满足各种工业需要。主板搭载串口，网口，MMC/SD/SDIO 卡接口，ADC 接口，CAN 等接口，支持 Linux，资料提供包括用户手册，PDF 底板原理图，外扩接口驱动，BSP 源码包，开发工具等。为开发者提供了完善的软件开发环境，降低产品开发周期，实现产品快速上市。

关于上述资料，您可以随时前往以下地址进行下载：<http://down.myir-tech.com/>

在开发阶段，建议配合核心板配套的评估套件 MYC-C7Z010-20-V2 来加速开发。评估套件的详细信息请访问：<http://www.myir-tech.com/product/>

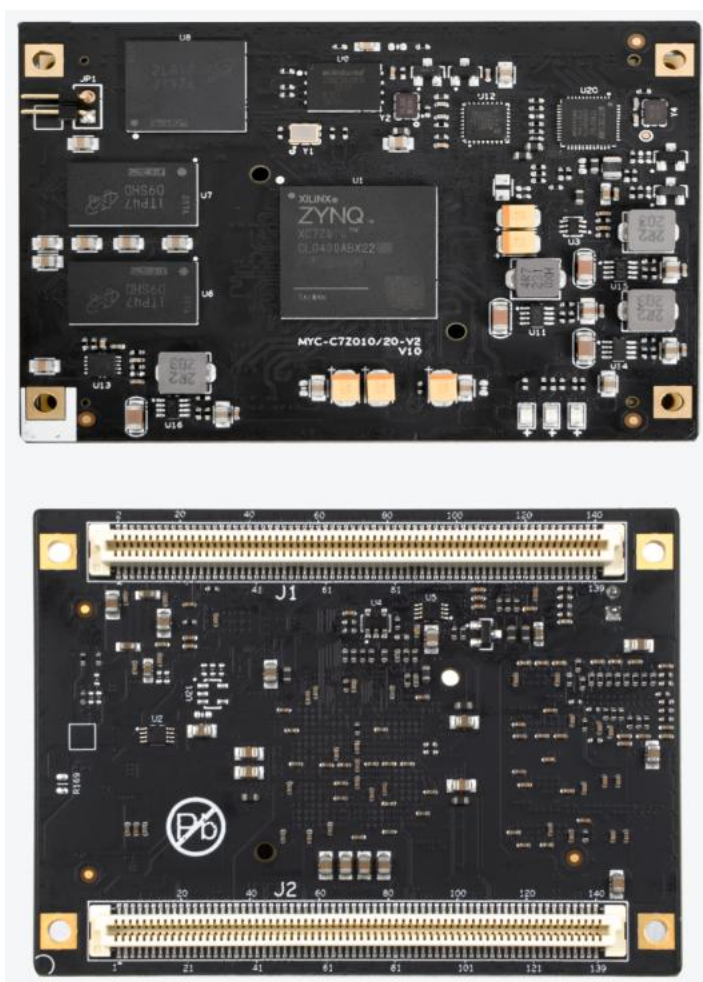


图 1-1 MYC-C7Z010-20-V2 核心板正反面实物图

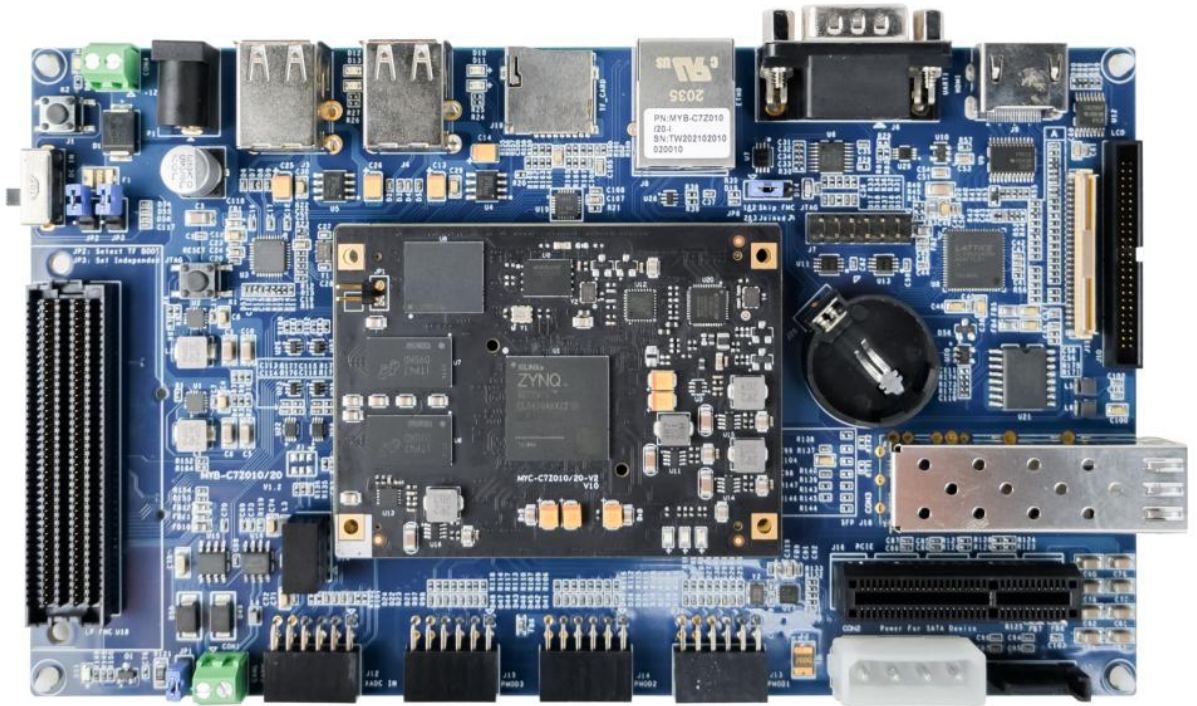


图 1-2 MYC-C7Z010-20-V2 评估套件正面

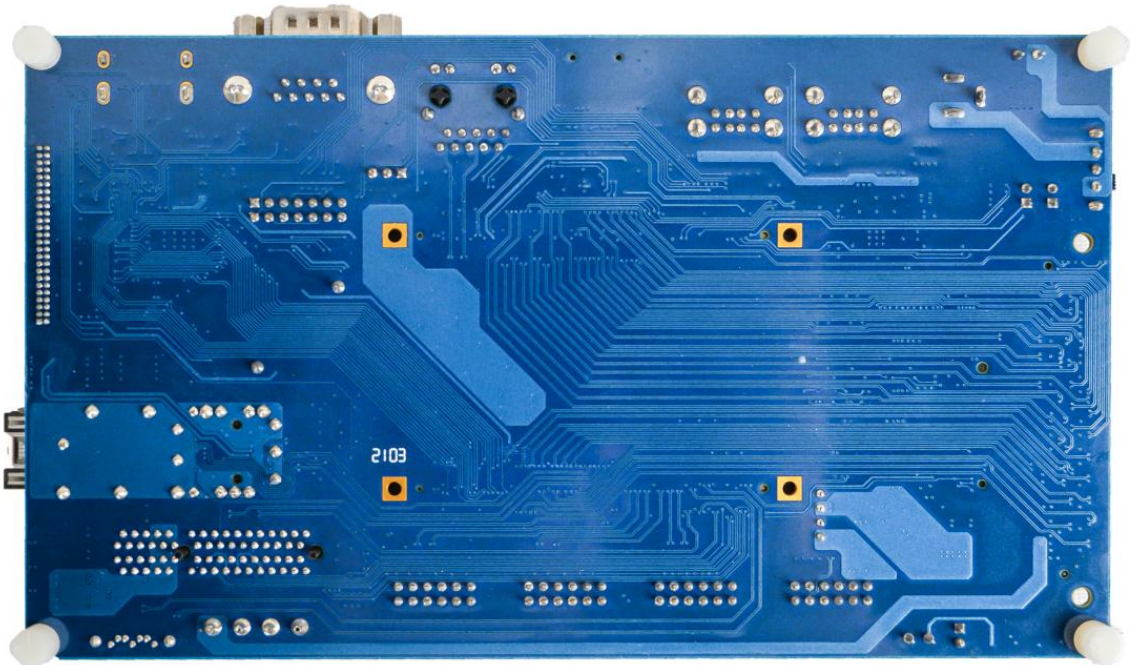


图 1-3 MYC-C7Z010-20-V2 评估套件背面

## 2. 产品介绍

MYC-C7Z010-20-V2 核心板采用连接器封装，标配 XC7Z010/20 处理器，主频高达 667、766MHz，外设接口丰富，拥有 USB2.0、Ethernet、UART、CAN、DCMI、ADC 等常用外设接口，便于客户灵活定制。

MYC-C7Z010-20-V2 系列核心板包含 2 种具体产品型号：它们在主频率配置、主 CPU 规格等方面有一些差异，客户可根据需求自行选择合适的型号。产品型号间的差异，请参见 2.4 章节的说明。



## 2.1. 芯片说明

Zynq@-7000 系列基于 Xilinx All Programmable SoC (AP SoC)架构。这些产品集成了功能丰富的双或单核 ARM cortex - a9 MPCoreM 处理系统(PS)和 Xilinx 可编程逻辑(PL)在单个设备上, 建立在最先进的, 高性能, 低功耗(HPL), 28 纳米, 高 k 金属门(HK MG)工艺技术。ARM Cortex-A9 MPCore 处理器是 PS 的核心, 它还包括片上内存、外部内存接口和一组丰富的 I/O 外设。Zynq-7000 系列提供了 FPGA 的灵活性和可扩展性, 同时提供了通常与 ASIC 和 asp 相关的性能、功率和易用性。Zynq-7000 AP SoC 系列设备使设计人员能够在单一平台上使用行业标准工具, 实现对成本敏感和高性能的应用。虽然 ynq-7000 系列中的每个设备都包含相同的 PS, 但不同设备之间的 PL 和 I/O 资源是不同的。因此, Zynq-7000 AP SoC 设备能够服务于广泛的应用。

### 2.1.1. ZYNQ7000 系列资源比较

ZYNQ7000 系列主要包含 Z-7010、Z-7020、Z-7015 etc 处理器。系列之间的主要资源差异表现在 Coretx-A9 是否单核或者双核, 频率差异, 详细差异如表 2-1。

#### Feature Summary

Table 1: Zynq-7000 and Zynq-7000S SoCs

Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Processor Core	Single-core ARM Cortex-A9 MPCore™ with CoreSight™			Dual-core ARM Cortex-A9 MPCore™ with CoreSight™						
Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor									
Maximum Frequency	667 MHz (-1); 766 MHz (-2)			667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1); 800 MHz (-2); 1 GHz (-3)			667 MHz (-1) 800 MHz (-2)
L1 Cache	32 KB Instruction, 32 KB data per processor									
L2 Cache	512 KB									
On-Chip Memory	256 KB									
External Memory Support <sup>(1)</sup>	DDR3, DDR3L, DDR2, LPDDR2									
External Static Memory Support <sup>(1)</sup>	2x Quad-SPI, NAND, NOR									
DMA Channels	8 (4 dedicated to Programmable Logic)									
Peripherals <sup>(1)</sup>	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO									
Peripherals w/ built-in DMA <sup>(1)</sup>	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO									
Security <sup>(2)</sup>	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot									
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)	2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts									

表 2-1 ZYNQ7000 功能图及各处理器资源差异

**MYC-C7Z010-20-V2 处理器主要特性:**

ARM Cortex-A9, 运行频率 667、766MHz
16/32 位 LPDDR-2, DDR2,DDR3L、DDR3
系统级控制寄存器(slc): 一组用于控制 PS 行为的各种寄存器
Snoop 控制单元(SCU)保持 L1 和 L2 的一致性
直接存储器存取控制器 :PS 的四个通道(内存复制到/从系统中的任何内存)
带有奇偶校验的 256kb 片上 SRAM (OCM) :可访问的 cpu, PL 和中央互连
单/双 Quad-SPI 控制器
2 个 PHY、2 个 USB、2 个 SD、2 个 SPI、2 个 CAN 等
静态存储器控制器(SMC) 任意一个都可以是主启动设备
从 PL(主)到 PS(从)的加速器相干端口(ACP)
看门狗定时器, 三重计数器/定时器
通用中断控制器(GIC) :从系统的其他部分(PS 和 PL)分配共享外围中断(SPI)
封装: BGA400

表 2-2 MYC-C7Z010-20-V2 主要的特性

## 2.2. MYC-C7Z010-20-V2 主要参数

名称	主要参数
主控芯片系列	XiLinx Zynq 7000 系列
主控芯片型号	XC7Z010-1CLG400I (标准配置) XC7Z020-1CLG400I (标准配置)
处理器规格	667/766MHz ARM Cortex-A9
内存	DDR3(256Mbx16) SDRAM 256Mbx16
存储器	QSPI Flash(256Mb) 、EMMC(4GB)
核心板尺寸	75 x 55 x 8.3 mm
接口类型	板对板连接器, 1x2 140Pin,0.8mm
PCB 板规格	10 层板设计, 沉金工艺
操作系统	Linux5.4.0 (最新)

表 2-3 主要参数

## 2.3. 系统框图

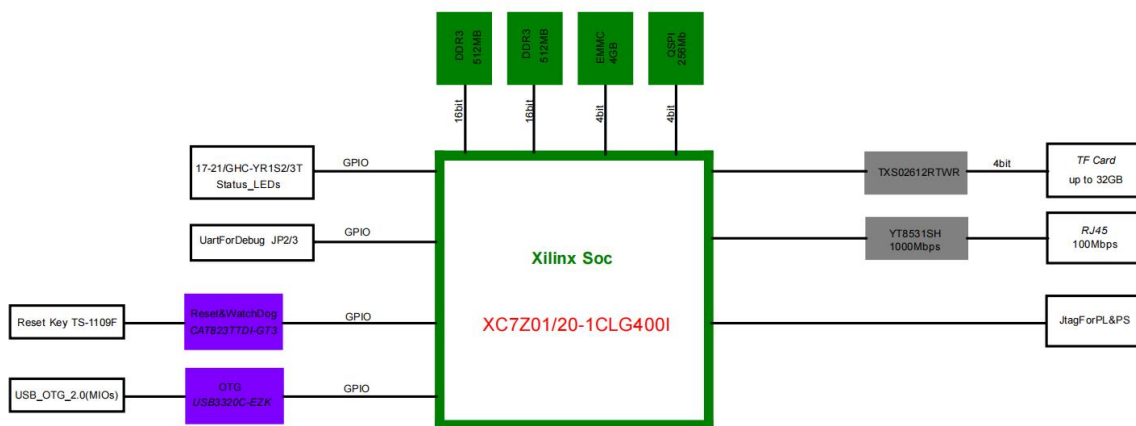


图 2-3 MYC-C7Z010-20-V2 核心板系统框图

## 2.4. 标准型号

根据 CPU 型号、存储器件、工作温度、内部配置等参数的不同，MYC-C7Z010-20-V2 核心板细分为 2 种型号，请从以下列表中选择最适合您的型号。

型号规格	MYC-C7Z010-V2-4E512D-667	MYC-C7Z020-V2-4E512D-766
主芯片	ZYNQ7000	ZYNQ7000
主芯片系列	XC7Z010-1CLG400I	XC7Z020-1CLG400I
内核	Cortex-A9	Cortex-A9
主频	667MHz	766MHz
操作系统	Linux5.4.0	Linux5.4.0
EMMC	4G	4G
内存	1G DDR3	1G DDR3
存储器	256Mb Flash	256Mb Flash
UART	2 路	2 路
CAN	2 路	2 路
USB /OTG	2 路	2 路
以太网	2 路 RGMII / RMII	2 路 RGMII / RMII
I2C	2 路	2 路
SPI	2 路	2 路
GPIO	54 路 (最高)	54 路 (最高)
供电电压	+3.3V、1.8V、1.0V、1.5V	+3.3V、1.8V、1.0V、1.5V
机械尺寸	75*55*8.3mm	75*55*8.3mm
工作温度	-40°C - +85°C	-40°C - +85°C
封装引脚数	400	400
相关认证	CE / ROHS	CE / ROHS

表 2-4 MYC-C7Z010-20-V2 核心板选型表 1

## 3. 引脚描述

### 3.1. 引脚示意图

MYC-C7Z010-20-V2 核心板和底板采用 0.8mm 间距的板对板连接器相连，底板封装设计请参考 7.2 章节的说明：

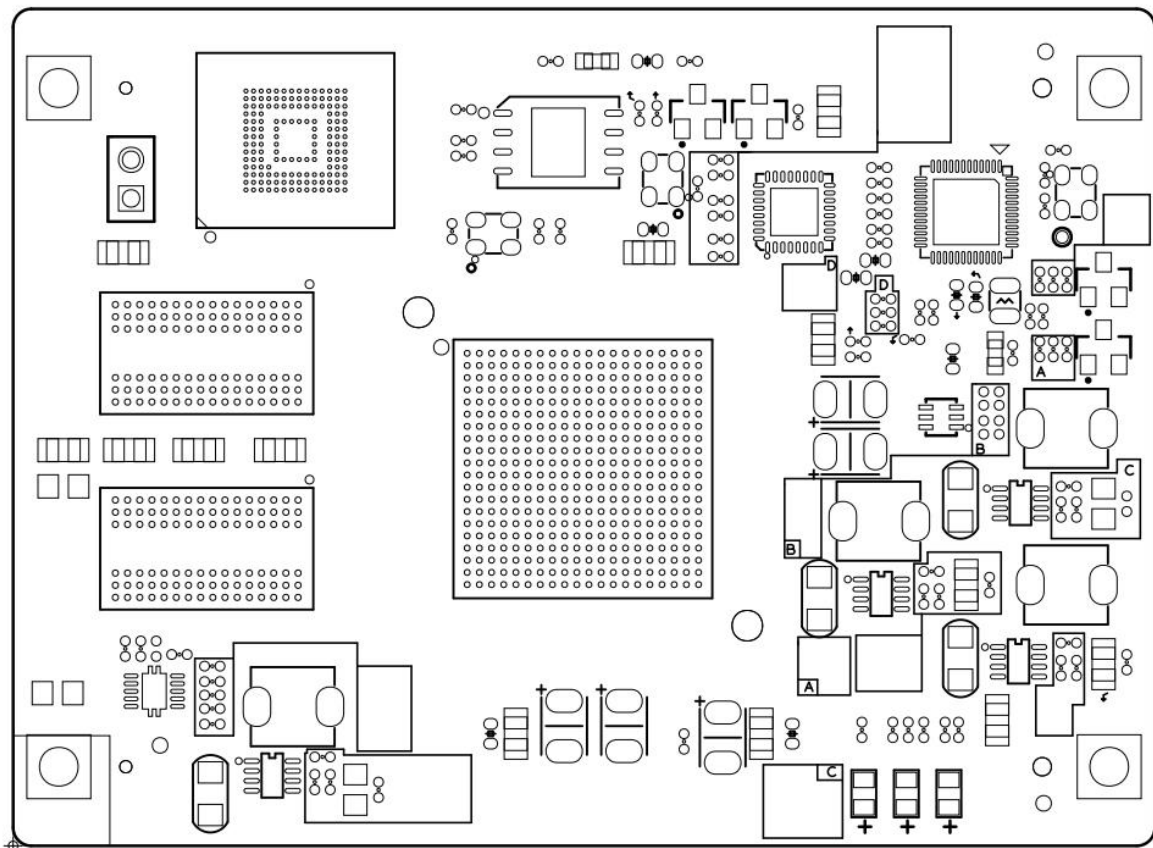


图 3-1 模块正面图

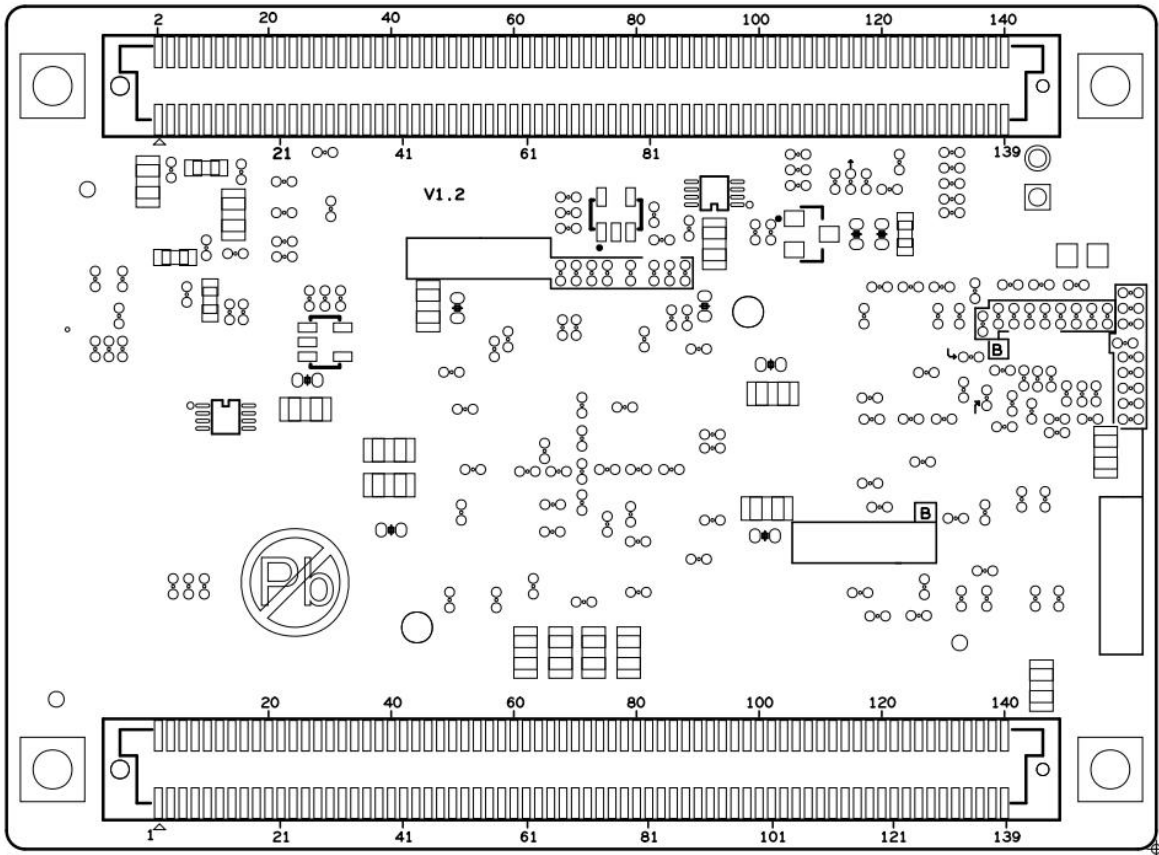


图 3-2 模块反面图

### 3.2. 核心板引脚对照表

MYC-C7Z010-20-V2 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

核心板引脚	标号	默认功能	功能描述	电平	输入/输出	MCU 引脚	备注
J1-P1	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P2	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P3	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P4	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P5	GND	GND	电源地	0V	—	—	
J1-P6	GND	GND	电源地	0V	—	—	
J1-P7	RGMII0_TRP0	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P8	GND	GND	电源地	0V	—	—	
J1-P9	RGMII0_TRN0	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P10	RGMII0_TRP1	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P11	GND	GND	电源地	0V	—	—	
J1-P12	RGMII0_TRN1	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P13	RGMII0_TRP2	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P14	GND	GND	电源地	0V	—	—	
J1-P15	RGMII0_TRN2	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P16	RGMII0_TRP3	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P17	GND	GND	电源地	0V	—	—	
J1-P18	RGMII0_TRN3	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P19	USB_PHY_DP	USB	USB 差分信号	1.8V	IO	—	
J1-P20	GND	GND	电源地	0V	—	—	
J1-P21	USB_PHY_DM	USB	USB 差分信号	1.8V	IO	—	
J1-P22	MDIO_CK	USB	USB 时钟信号	1.8V	I	—	
J1-P23	GND	GND	电源地	0V	—	—	

J1-P24	MDIO_DATA	USB	USB 数据信号	1.8V	O	—	
J1-P25	USB_PHY_ID	USB	USB 设备 ID 引脚	1.8V	I	—	
J1-P26	RGMII0_LED_ACT	RGMII	RGMII 灯应答信号	1.8V	O	—	
J1-P27	USB_PHY_VBUS	USB	USB VBUS 比较器输入引脚	1.8V	IO	—	
J1-P28	RGMII0_LED_LINK	RGMII	RGMII 灯连接信号	1.8V	O	—	
J1-P29	IO_B35_0	BANK35	FMC_CLK 信号引脚	3.3V	IO	G14	
J1-P30	VBUS_SW_EN	USB	USB 5V 使能引脚	1.8V	O	—	
J1-P31	IO_B35_LP7	BANK35	FMC_LA17_P_CC	3.3V	IO	M19	
J1-P32	GND	GND	电源地	0V	—	—	
J1-P33	IO_B35_LN7	BANK35	FMC_LA17_N_CC	3.3V	IO	M20	
J1-P34	IO_B35_LP18	BANK35	FMC_LA23_P	3.3V	IO	G19	
J1-P35	IO_B35_LP21	BANK35	FMC_LA13_P	3.3V	IO	N15	
J1-P36	IO_B35_LN18	BANK35	FMC_LA23_N	3.3V	IO	G20	
J1-P37	IO_B35_LN21	BANK35	FMC_LA13_N	3.3V	IO	N16	
J1-P38	IO_B35_LP9	BANK35	FMC_LA22_P	3.3V	IO	L19	
J1-P39	IO_B35_LP17	BANK35	FMC_LA14_P	3.3V	IO	J20	
J1-P40	IO_B35_LN9	BANK35	FMC_LA22_N	3.3V	IO	L20	
J1-P41	IO_B35_LN17	BANK35	FMC_LA14_N	3.3V	IO	H20	
J1-P42	IO_B35_LP11	BANK35	FMC_LA01_P_CC	3.3V	IO	L16	
J1-P43	GND	GND	电源地	0V	—	—	
J1-P44	IO_B35_LN11	BANK35	FMC_LA01_N_CC	3.3V	IO	L17	
J1-P45	IO_B35_LP1	BANK35	FMC_LA08_P	3.3V	IO	G14	
J1-P46	GND	GND	电源地	0V	—	—	
J1-P47	IO_B35_LN1	BANK35	FMC_LA08_N	3.3V	IO	C20	
J1-P48	IO_B35_LP4	BANK35	FMC_LA07_P	3.3V	IO	J20	
J1-P49	IO_B35_LP15	BANK35	FMC_LA09_P	3.3V	IO	L20	
J1-P50	IO_B35_LN4	BANK35	FMC_LA07_N	3.3V	IO	H20	
J1-P51	IO_B35_LP15	BANK35	FMC_LA07_P	3.3V	IO	L16	
J1-P52	IO_B35_LP8	BANK35	FMC_LA10_P	3.3V	IO	M17	



J1-P53	GND	GND	电源地	0V	—	—	
J1-P54	IO_B35_LN8	BANK35	FMC_LA10_N	3.3V	IO	M18	
J1-P55	IO_B35_LP12	BANK35	FMC_CLK0_M2C_P	3.3V	IO	K17	
J1-P56	IO_B35_LP16	BANK35	FMC_LA24_P	3.3V	IO	G17	
J1-P57	IO_B35_LN12	BANK35	FMC_CLK0_M2C_N	3.3V	IO	K18	
J1-P58	IO_B35_N16	BANK35	FMC_LA24_N	3.3V	IO	G18	
J1-P59	VDDIO_35_PL	3.3V 电源	电源 3.3V 输出	3.3V	O	—	
J1-P60	VDDIO_35_PL	3.3V 电源	电源 3.3V 输出	3.3V	O	—	
J1-P61	GND	GND	电源地	0V	—	—	
J1-P62	GND	GND	电源地	0V	—	—	
J1-P63	IO_B35_LP5	BANK35	FMC_LA06_P	3.3V	IO	E18	
J1-P64	IO_B35_LP10	BANK35	FMC_LA02_P	3.3V	IO	K19	
J1-P65	IO_B35_LN5	BANK35	FMC_LA06_N	3.3V	IO	E19	
J1-P66	IO_B35_LN10	BANK35	FMC_LA02_N	3.3V	IO	J19	
J1-P67	IO_B35_LP3	BANK35	FMC_LA03_P	3.3V	IO	E17	
J1-P68	IO_B35_LP14	BANK35	FMC_LA00_P_CC	3.3V	IO	J18	
J1-P69	IO_B35_LN3	BANK35	FMC_LA03_N	3.3V	IO	D18	
J1-P70	IO_B35_LN14	BANK35	FMC_LA00_N_CC	3.3V	IO	H18	
J1-P71	IO_B35_LP2	BANK35	FMC_LA04_P	3.3V	IO	B19	
J1-P72	IO_B35_LP6	BANK35	FMC_LA16_P	3.3V	IO	F16	
J1-P73	IO_B35_LN2	BANK35	FMC_LA04_N	3.3V	IO	A20	
J1-P74	IO_B35_LN6	BANK35	FMC_LA16_N	3.3V	IO	F17	
J1-P75	GND	GND	电源地	0V	—	—	
J1-P76	GND	GND	电源地	0V	—	—	
J1-P77	IO_B35_LP13	BANK35	FMC_CLK0_C2M_P	3.3V	IO	H16	
J1-P78	IO_B35_LP24	BANK35	FMC_LA15_P	3.3V	IO	K16	
J1-P79	IO_B35_LN13	BANK35	FMC_CLK0_C2M_N	3.3V	IO	H17	
J1-P80	IO_B35_LN24	BANK35	FMC_LA15_N	3.3V	IO	J16	

J1-P81	GND	GND	电源地	0V	—	—	
J1-P82	IO_B35_LP20	BANK35	FMC_LA20_P	3.3V	IO	K14	
J1-P83	IO_B35_LP19	BANK35	FMC_LA12_P	3.3V	IO	H15	
J1-P84	IO_B35_LN20	BANK35	FMC_LA20_N	3.3V	IO	J14	
J1-P85	IO_B35_LN19	BANK35	FMC_LA12_N	3.3V	IO	G15	
J1-P86	IO_B35_LP22	BANK35	FMC_LA19_P	3.3V	IO	L14	
J1-P87	IO_B35_LP23	BANK35	FMC_LA11_P	3.3V	IO	M14	
J1-P88	IO_B35_LN22	BANK35	FMC_LA19_N	3.3V	IO	L15	
J1-P89	IO_B35_LN23	BANK35	FMC_LA11_N	3.3V	IO	M15	
J1-P90	IO_B35_25	BANK35	FMC_SDA 信号	3.3V	IO	J15	
J1-P91	GND	GND	电源地	0V	—	—	
J1-P92	GND	GND	电源地	0V	—	—	
J1-P93	XADC_VCC	1.8V 电源	电源 1.8V 输出	1.8V	O	—	
J1-P94	JTAG_TCK	BANK0	JTAG_时钟信号	3.3V	IO	F9	
J1-P95	XADC_INP0	BANK0	XADC 差分信号线	1.8V	I	K9	
J1-P96	JTAG_TMS	BANK0	JTAG_片选信号	3.3V	IO	J6	
J1-P97	XADC_INN0	BANK0	XADC 差分信号线	1.8V	I	L10	
J1-P98	JTAG_TDI	BANK0	JTAG_输入信号	3.3V	IO	G6	
J1-P99	XADC_TEMP_P	BANK0	XADC 差分信号线	1.8V	I	M9	
J1-P100	JTAG_TDO	BANK0	JTAG_输出信号	3.3V	IO	F6	
J1-P101	XADC_TEMP_N	BANK0	XADC 差分信号线	1.8V	I	M10	
J1-P102	GND	GND	电源地	0V	—	—	
J1-P103	XADC_GND	XADC_GND	电源地	0V	—	—	
J1-P104	SDIO0_CLK	SD 卡	SD 卡时钟信号	1.8V	O	D14	
J1-P105	GND	GND	电源地	0V	—	—	
J1-P106	SDIO0_CMD	SD 卡	SD 卡命令信号	1.8V	O	C17	
J1-P107	PS_MIO0	BANK500	WDT_FEED	3.3V	O	E6	
J1-P108	SDIO0_D1	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	E12	

J1-P109	S_JTAG_H	BANK500	模式启动引脚	3.3V	I	A6	
J1-P110	SDIO0_D2	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	A9	
J1-P111	SD_BOOT_CONF_H	BANK500	模式启动引脚	3.3V	I	B7	
J1-P112	SDIO0_D3	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	F13	
J1-P113	PS_MIO8	CAN	CAN TX 信号	3.3V	O	D5	
J1-P114	SDIO0_D4	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	B15	
J1-P115	PS_MIO9	CAN	CAN RX 信号	3.3V	O	B5	
J1-P116	SDIO0_CD	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	D16	
J1-P117	PS_MIO10	EMMC	EMMC 数据信号	3.3V	IO	E9	
J1-P118	SDIO0_WP	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	B14	
J1-P119	PS_MIO11	EMMC	EMMC 片选信号	3.3V	IO	C6	
J1-P120	GND	GND	电源地	0V	—	—	
J1-P121	PS_MIO12	EMMC	EMMC 时钟信号	3.3V	IO	D9	
J1-P122	UART1_TX	UART	UART 发送信号	1.8V	O	B12	
J1-P123	PS_MIO13	EMMC	EMMC 数据信号	3.3V	IO	E8	
J1-P124	UART1_RX	UART	UART 接收信号	1.8V	I	C12	
J1-P125	PS_MIO14	EMMC	EMMC 数据信号	3.3V	IO	C5	
J1-P126	PS_501_MIO_50	BANK500	I2C 时钟信号	1.8V	I	B13	
J1-P127	PS_MIO15	EMMC	EMMC 数据信号	3.3V	IO	C8	
J1-P128	PS_501_MIO_51	BANK500	I2C 数据信号	1.8V	O	B9	
J1-P129	GND	GND	电源地	0V	—	—	
J1-P130	FPGA_INITn	BANK0	FPGA_INITn 信号	3.3V	O	R10	
J1-P131	Sys_PG	电源 PG	系统输入电源 PG 信号	5V	0	—	
J1-P132	FPGA_WARMRESETn	BANK0	FPGA 唤醒信号	3.3V	I	L6	
J1-P133	PS_500_RESET_OUTn	BANK500	复位输出	1.8V	O	B7	
J1-P134	FPGA_INIT_DONE	BANK0	FPGA DONE 信号	3.3V	O	R11	
J1-P135	PS_WARMRESET_INn	BANK500	复位按键信号输入	1.8V	I	—	
J1-P136	VBAT_KEY_BACK_1.8V	BANK0	VBAT_1.8V 电源	1.8V	O	F11	

J1-P137	eMMC_RSTn	EMMC	EMMC 复位信号	3.3V	I	—	
J1-P138	VDDIO_501_PS	BANK501	PS 的 IO 电平	1.8V	O	E11	
J1-P139	VDDIO_500_PS	BANK500	PS 的 IO 电平	3.3V	O	C7	
J1-P140	GND	GND	电源地	0V	—	—	
J2-P1	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P2	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P3	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P4	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P5	GND	GND	电源地	0V	—	—	
J2-P6	GND	GND	电源地	0V	—	—	
J2-P7	IO_B34_25	BANK 34	供电使能高电平有效	3.3V	O	T19	
J2-P8	IO_B34_0	BANK 34	背光电源 PWM 控制	3.3V	O	R19	
J2-P9	IO_B34_LP13	BANK 34	显示数据使能	3.3V	O	N18	
J2-P10	IO_B34_LP24	BANK 34	电容触摸复位	3.3V	O	P15	
J2-P11	IO_B34_LN13	BANK 34	显示像素时钟信号	3.3V	O	P19	
J2-P12	IO_B34_LN24	BANK 34	电容触摸中断	3.3V	O	P16	
J2-P13	IO_B34_LP22	BANK 34	显示数据 B14	3.3V	O	W18	
J2-P14	IO_B34_LP21	BANK 34	显示场信号	3.3V	O	V17	
J2-P15	IO_B34_LN22	BANK 34	显示数据 B15	3.3V	O	W19	
J2-P16	IO_B34_LN21	BANK 34	显示行信号	3.3V	O	V18	
J2-P17	IO_B34_LP23	BANK 34	显示数据 B10	3.3V	O	N17	
J2-P18	IO_B34_LP20	BANK 34	显示数据 B11	3.3V	O	T17	
J2-P19	IO_B34_LN23	BANK 34	显示数据 B12	3.3V	O	P18	
J2-P20	IO_B34_LN20	BANK 34	显示数据 B13	3.3V	O	R18	
J2-P21	GND	GND	电源地	0V	—	—	
J2-P22	GND	GND	电源地	0V	—	—	
J2-P23	IO_B34_LP19	BANK 34	显示数据 B8	3.3V	O	R16	
J2-P24	IO_B34_LP18	BANK 34	显示数据 B6	3.3V	O	V16	
J2-P25	IO_B34_LN19	BANK 34	显示数据 B9	3.3V	O	W16	

J2-P26	IO_B34_LN18	BANK 34	显示数据 B7	3.3V	O	R17	
J2-P27	IO_B34_LP9	BANK 34	显示数据 B4	3.3V	O	T16	
J2-P28	IO_B34_LP12	BANK 34	显示数据 B2	3.3V	O	U18	
J2-P29	IO_B34_LN9	BANK 34	显示数据 B5	3.3V	O	U17	
J2-P30	IO_B34_LN12	BANK 34	显示数据 B3	3.3V	O	U19	
J2-P31	IO_B34_LP5	BANK 34	显示数据 B0	3.3V	O	T14	
J2-P32	IO_B34_LP14	BANK 34	FMC_LA21_P	3.3V	IO	N20	
J2-P33	IO_B34_LN5	BANK 34	显示数据 B1	3.3V	IO	T15	
J2-P34	IO_B34_LN14	BANK 34	FMC_LA21_N	3.3V	O	P20	
J2-P35	VDDIO_34_PL	BANK 34	VDDIO 电平	3.3V	O	—	
J2-P36	VDDIO_34_PL	BANK 34	VDDIO 电平	3.3V	O	—	
J2-P37	GND	GND	电源地	0V	—	—	
J2-P38	GND	GND	电源地	0V	—	—	
J2-P39	IO_B34_LP11	BANK 34	FMC_LA18_P_CC	3.3V	IO	U14	
J2-P40	IO_B34_LP15	BANK 34	FMC_LA25_P	3.3V	IO	T20	
J2-P41	IO_B34_LN11	BANK 34	FMC_LA18_N_CC	3.3V	IO	U15	
J2-P42	IO_B34_LN15	BANK 34	FMC_LA25_N	3.3V	IO	U20	
J2-P43	IO_B34_LP6	BANK 34	FMC_LA32_P	3.3V	IO	P14	
J2-P44	IO_B34_LP10	BANK 34	FMC_LA26_P	3.3V	IO	V15	
J2-P45	IO_B34_LN6	BANK 34	FMC_LA32_N	3.3V	IO	R14	
J2-P46	IO_B34_LN10	BANK 34	FMC_LA26_N	3.3V	IO	W15	
J2-P47	IO_B34_LP4	BANK 34	FMC_LA33_P	3.3V	IO	V12	
J2-P48	IO_B34_LP16	BANK 34	FMC_LA24_P	3.3V	IO	V20	
J2-P49	IO_B34_LN4	BANK 34	FMC_LA33_N	3.3V	IO	W13	
J2-P50	IO_B34_LN16	BANK 34	FMC_LA24_N	3.3V	IO	W20	
J2-P51	GND	GND	电源地	0V	—	—	
J2-P52	GND	GND	电源地	0V	—	—	
J2-P53	IO_B34_LP7	BANK 34	FMC_LA30_P	3.3V	IO	Y16	
J2-P54	IO_B34_LP17	BANK 34	FMC_LA29_P	3.3V	IO	Y18	

J2-P55	IO_B34_LN7	BANK 34	FMC_LA30_N	3.3V	IO	Y17	
J2-P56	IO_B34_LN17	BANK 34	FMC_LA29_N	3.3V	IO	Y19	
J2-P57	IO_B34_LP3	BANK 34	FMC_PRSNT_M2C_L	3.3V	IO	U13	
J2-P58	IO_B34_LP8	BANK 34	FMC_LA27_P	3.3V	IO	W14	
J2-P59	IO_B34_LN3	BANK 34	HDMI_INT	3.3V	IO	V13	
J2-P60	IO_B34_LN8	BANK 34	FMC_LA27_N	3.3V	IO	Y14	
J2-P61	IO_B34_LP1	BANK 34	FMC_LA31_P	3.3V	IO	T11	
J2-P62	IO_B34_LP2	BANK 34	FMC_LA28_P	3.3V	IO	T12	
J2-P63	IO_B34_LN1	BANK 34	FMC_LA31_N	3.3V	IO	T10	
J2-P64	IO_B34_LN2	BANK 34	FMC_LA28_N	3.3V	IO	U12	
J2-P65	GND	GND	电源地	0V	—	—	
J2-P66	GND	GND	电源地	0V	—	—	
J2-P67	IO_B13_LP3	BANK 13	PCIE_SMBCLK 时钟	3.3V	I	—	
J2-P68	IO_B13_LP7	BANK 13	SFP_DISABLED0 关断发射	3.3V	IO	—	
J2-P69	IO_B13_LN3	BANK 13	PCIE_SMBDAT 数据	3.3V	IO	—	
J2-P70	IO_B13_LN7	BANK 13	SFP_LOS0 LOS 告警	3.3V	IO	—	
J2-P71	IO_B13_LP4	BANK 13	PCIE 热拔插存在检测	3.3V	O	—	
J2-P72	IO_B13_LP8	BANK 13	PCIE 速率选择	3.3V	IO	—	
J2-P73	IO_B13_LN4	BANK 13	链接激活唤醒	3.3V	IO	—	
J2-P74	IO_B13_LN8	BANK 13	模块定义脚, I2C 通信数据线	3.3V	IO	—	
J2-P75	IO_B13_LP5	BANK 13	热拔插检测	3.3V	I	—	
J2-P76	IO_B13_LP9	BANK 13	模块定义脚, I2C 通信数据线	3.3V	IO	—	
J2-P77	IO_B13_LN5	BANK 13	PCIE 发射部分报错	3.3V	IO	—	
J2-P78	IO_B13_LN9	BANK 13	模块定义脚, 接地	3.3V	IO	—	
J2-P79	GND	GND	电源地	0V	—	—	
J2-P80	GND	GND	电源地	0V	—	—	
J2-P81	VDDIO_13_PL	BANK 34	VDDIO 电平	3.3V	O	—	
J2-P82	VDDIO_13_PL	BANK 34	VDDIO 电平	3.3V	O	—	
J2-P83	IO_B13_LP21	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V11	

J2-P84	IO_B13_0	BANK 13	扩展 IO	3.3V	IO	V5	
J2-P85	IO_B13_LN21	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V10	
J2-P86	IO_B13_LP16	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W10	
J2-P87	IO_B13_LP12	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	T9	
J2-P88	IO_B13_LN16	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W9	
J2-P89	IO_B13_LN12	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U10	
J2-P90	IO_B13_LP20	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y12	
J2-P91	IO_B13_LP17	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U9	
J2-P92	IO_B13_LN20	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y13	
J2-P93	IO_B13_LN17	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U8	
J2-P94	IO_B13_LP18	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W11	
J2-P95	GND	GND	电源地	0V	—	—	
J2-P96	IO_B13_LN18	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y11	
J2-P97	IO_B13_LP11	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U7	
J2-P98	GND	GND	电源地	0V	—	—	
J2-P99	IO_B13_LN11	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V7	
J2-P100	IO_B13_LP14	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y9	
J2-P101	IO_B13_LP15	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V8	
J2-P102	IO_B13_LN14	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y8	
J2-P103	IO_B13_LN15	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W8	
J2-P104	IO_B13_LP13	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y7	
J2-P105	IO_B13_LP22	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V6	
J2-P106	IO_B13_LN13	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y6	
J2-P107	IO_B13_LN22	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W6	
J2-P108	IO_B13_LP19	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	T5	
J2-P109	GND	GND	电源地	0V	—	—	
J2-P110	IO_B13_LN19	BANK 13	只 XC7Z020 Pmod 扩展 IO	3.3V	IO	U5	
J2-P111	MGTPTXP0	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P112	GND	GND	电源地	0V	—	—	

J2-P113	MGTPTXN0	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P114	MGTPTXP2	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P115	GND	GND	电源地	0V	—	—	
J2-P116	MGTPTXN2	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P117	MGTPRXP0	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P118	GND	GND	电源地	0V	—	—	
J2-P119	MGTPRXN0	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P120	MGTPRXP2	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P121	GND	GND	电源地	0V	—	—	
J2-P122	MGTPRXN2	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P123	MGTPTXP1	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P124	GND	GND	电源地	0V	—	—	
J2-P125	MGTPTXN1	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P126	MGTPTXP3	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P127	GND	GND	电源地	0V	—	—	
J2-P128	MGTPTXN3	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P129	MGTPRXP1	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P130	GND	GND	电源地	0V	—	—	
J2-P131	MGTPRXN1	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P132	MGTPRXP3	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P133	GND	GND	电源地	0V	—	—	
J2-P134	MGTPRXN3	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P135	MGTREFCLKP0	PCIE	PCIE 参考时钟正极差分信号	3.3V	IO	—	
J2-P136	GND	GND	电源地	0V	—	—	
J2-P137	MGTREFCLKN0	PCIE	PCIE 参考时钟负极差分信号	3.3V	IO	—	
J2-P138	MGTREFCLKP1	PCIE	100M 时钟正极差分信号	3.3V	IO	—	
J2-P139	GND	GND	电源地	0V	—	—	
J2-P140	MGTREFCLKN1	PCIE	100M 时钟负极差分信号	3.3V	IO	—	

表 3-1 MYC-C7Z010-20-V2 核心板 PIN LIST



## 4. 电气特性

### 4.1. 主要电源 (VDD\_5V)

MYC-C7Z010-20-V2 核心板的主要供电电源是 VDD\_5V，对应连接器 J1、J2 的 1、2、3、4 引脚。为了保证正常工作，底板必须提供  $5V \pm 5\%$  的电压，并确保供电电路的输出能力可以满足核心板的功耗。4.3 章节列出了各条件下核心板的功耗和电流，在设计供电电路时请预留合适的余量。如果对散热有较高要求可以使用散热器。

### 4.2. 电源域

外部供电电压需要底板提供相应的电压，内部产生电压是核心板自行产生的电压，不需要额外供电。

核心板使用 VDD\_5V 供电，由电源管理芯片产生多个不同电压以满足 MPU, DDR3, Flash 等等模块的供电。完整的电源芯片型号为 MP2143DJ-LF-Z。

名称	描述	推荐电压值
VDD_5V	5V 输入，主要供应电压	5V

表 4-1 外部供电电压

### 4.3. 电源功耗

工作条件	电源电压(V)	平均电流(mA)	峰值电流(mA)	总功耗 (mW)
During boot	5	200	250	1000
Full-load 阶段	5	280	290	1400

Table 4-2 电源功耗参数

### 4.4. GPIO 直流特性

参数	标号	最小值	推荐值	最大值	单位	说明
高电平输入电压	VIH	2.3	3.3	3.6	V	—
1.8V 电平输入电压	VIH	1.79V	1.8V	1.81V	V	—
低电平输入电压	VIL	-0.3	—	1.0	V	—
高电平输出电压	VOH	—	3.3	—	V	—
低电平输出电压	VOL	—	—	0.9	V	—

Table 4-3 GPIO DC 特性

## 5. 系统配置和启动

### 5.1. BOOT 模式设置

MYC-C7Z010-20-V2 系列处理器启动时会首先执行芯片内部 Boot ROM 中的程序。Boot ROM 启动时通过读取 BOOT 管脚进入不同的启动源。具体对应如下：

Boot Pin 1	Boot Pin 2	Initial Boot Source	说明
0	0	JTAG	设置 JTAG 方式启动
0	1	QSPI	Default
1	1	Micro SD	设置 Micro SD 卡方式启动

表 5-1 处理器启动模式配置

决定启动源的有二个管脚，Boot Pin (1:2) 分别是 SD\_BOOT\_CONF\_H (PS\_MIO4) ,S\_JTAG\_H (PS\_MIO5) 管脚。这些管脚在核心板内增加上拉或者下拉设计。

**注意：** 在配套开发板使用时 V12 版本 JTAG 模式启动需要手动把核心板背面的电阻 R12 换到 R10 上，跳线帽 JP2,JP3 都不闭合。V10 版本不需要更换电阻，跳线帽不闭合即可。

### 5.2. Reset and switch

MYC-C7Z010-20-V2 核心板提供 2 个专用引脚，分别是 PS\_WARMRESET\_INn 和 WDT\_RESETN，二者的功能不同，建议都接出来，作不同的用途。

引脚定义	说明
WDT_RESETN	掉电复位管脚。可以采用 RC 复位电路或者硬件看门狗复位芯片复位输出。
PS_WARMRESET_INn	和底板可以搭配按键复位，为消除静电可并联一个 ESD 二极管。

表 5-2 复位和 PWRON 引脚功能描述

## 6. 接口说明

MYC-C7Z010-20-V2 核心板将在设计之初考量了 PCB 的尺寸，由于 PCB 尺寸不足以将所有 IO 资源全部引出。舍弃了少量的 GPIO，此外特定功能如时钟，eMMC，QSPI-Flash 也会占用一些 IO，等等这些 IO 并没有引出到核心板接口。请查看 6.13 节以了解核心板的内部资源分配。

推荐用户使用 Xilinx 的数据手册和相关软件来分配管脚资源。关于软件下载及使用说明可以访问 Xilinx 官方网站。

## 6.1. SDMMC 接口

MYC-C7Z010-20-V2 核心板支持引出了 MMC 接口。可采用芯片 TXS02612 进行扩展，把单个 SDIO 端口与两个 SDIO 外设进行接口。建议使用 MMC1 接口用于 Micro SD 电路,MMC2 用与 SDIO WIFI 或其他 SDIO 接口的外设。

### 6.1.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
D14	SDIO0_CLK	SD 卡	SD 卡时钟信号	1.8V	O	J1-P104	
C17	SDIO0_CMD	SD 卡	SD 卡命令/回复信号 I/O 口	1.8V	O	J1-P106	
E12	SDIO0_D1	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P108	
A9	SDIO0_D2	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P110	
F13	SDIO0_D3	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P112	
B15	SDIO0_D4	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P114	
D16	SDIO0_CD	SD 卡	SD 卡监测数据位 I/O 口	3.3V	IO	J1-P116	
B14	SDIO0_WP	SD 卡	SD 卡写入保护信号 I/O 口	3.3V	IO	J1-P118	

表 6-1 MMC3 接口 PIN 定义

## 6.2. UART 接口

MYC-C7Z010-20-V2 核心板拥有高达九针管脚的异步串口。由于芯片的管脚复用关系，核心板默认配置了 3 针管脚串口，其中 UART1 带有流控制（RTS 和 CTS 信号）功能。

### 6.2.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B12	UART1_TX	UART	UART 传输信号线	1.8V	O	J1-P122	
C12	UART1_RX	UART	UART 接收信号线	1.8V	I	J1-P124	

表 6-2 UART 接口 PIN 定义

## 6.3. USB 接口

MYC-C7Z010-20-V2 核心板提供两个高速 USB2.0 控制器，可以配置为两路 HOST 接口或者一路高速 USB2.0 HOST，一路高速 USB 2.0 OTG。请使用 USB1 端口设计 USB2.0 OTG。采用 USB 收发器：USB3320C，芯片在核心板上通过它去连接到底板的 USB 座。

### 6.3.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
C18	PS_MIO39	USB1	USB1-HS 接口 D7	1.8V	IO		
E16	PS_MIO31	USB1	USB1-HS 接口 NXT	1.8V	I		
C16	PS_MIO28	USB1	USB1-HS 接口 D4	1.8V	IO		
C15	PS_MIO30	USB1	USB1-HS 接口 STP	1.8V	O		
A14	PS_MIO32	USB1	USB1-HS 接口 D0	1.8V	IO		
D15	PS_MIO33	USB1	USB1-HS 接口 D1	1.8V	IO		
C13	PS_MIO29	USB1	USB1-HS 接口 DIR	1.8V	I		
A12	PS_MIO34	USB1	USB1-HS 接口 D2	1.8V	IO		
E13	PS_MIO38	USB1	USB1-HS 接口 D6	1.8V	IO		
A11	PS_MIO36	USB1	USB1-HS 时钟信号	1.8V	O		
F12	PS_MIO35	USB1	USB1-HS 接口 D3	1.8V	IO		
A10	PS_MIO37	USB1	USB1-HS 接口 D5	1.8V	IO		
	USB_PHY_DP	USB	USB1-HS 接口 DP	1.8V	IO	J1-P19	
	USB_PHY_DM	USB	USB1-HS 接口 DM	1.8V	IO	J1-P21	
	USB_PHY_ID	USB	USB1-HS 接口 ID	1.8V	I	J1-P25	
	USB_PHY_VBUS	USB	USB1-HS 接口 VBUS	1.8V	I	J1-P27	
	VBUS_SW_EN	USB	USB1-HS 接口 EN	1.8V	O	J1-P30	

表 6-3 USB 接口 PIN 定义

## 6.4. Ethernet 接口

MYC-C7Z010-20-V2 核心板支持 2 路千兆网口，用户需设计 PHY 芯片电路和网口插座才能实现网络通信。千兆以太网控制器(GEM)实现了 10/100/ 1000mb /s 的以太网 MAC，兼容 IEEE 802.3-2008 标准，能够在所有三种速度下以半双工或全双工模式运行。控制器提供 MDIO 接口，用于 PHY 管理。可以从 MDIO 接口中的任何一个控制 PHYS。

### 6.4.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
C11	PS_MIO53_501	PHY	LINK_MDIO_DATA	1.8V	O		
A17	PS_MIO20_501	PHY	LINK_RGMII0_TXD3	1.8V	I		
D10	PS_MIO19_501	PHY	LINK_RGMII0_TXD2	1.8V	I		
B18	PS_MIO18_501	PHY	LINK_RGMII0_TXD1	1.8V	I		
E14	PS_MIO17_501	PHY	LINK_RGMII0_TXD0	1.8V	I		
A19	PS_MIO16_501	PHY	LINK_RGMII0_TX_CLK	1.8V	I		
F14	PS_MIO21_501	PHY	LINK_RGMII0_TX_EN	1.8V	I		
A15	PS_MIO26_501	PHY	LINK_RGMII0_RXD3	1.8V	O		
B17	PS_MIO22_501	PHY	LINK_RGMII0_RX_CLK	1.8V	O		
C7	PS_POR_B_500	PHY	PS_PWRON_RESETn	1.8V	O		
F15	PS_MIO25_501	PHY	LINK_RGMII0_RXD2	1.8V	O		
A16	PS_MIO24_501	PHY	LINK_RGMII0_RXD1	1.8V	O		
D11	PS_MIO23_501	PHY	LINK_RGMII0_RXD0	1.8V	O		
D13	PS_MIO27_501	PHY	LINK_RGMII0_RX_EN	1.8V	O		
C10	PS_MIO52_501	PHY	LINK_MDIO_CLK	1.8V	O		
	RGMII0_TRP0	PHY	RGMII0_TRP0	1.8V	O	J1-P7	
	RGMII0_TRN0	PHY	PHY 差分信号线	1.8V	O	J1-P9	
	RGMII0_TRP1	PHY	PHY 差分信号线	1.8V	O	J1-P10	
	RGMII0_TRN1	PHY	PHY 差分信号线	1.8V	O	J1-P12	
	RGMII0_TRP2	PHY	PHY 差分信号线	1.8V	O	J1-P13	
	RGMII0_TRN2	PHY	PHY 差分信号线	1.8V	O	J1-P15	
	RGMII0_TRP3	PHY	PHY 差分信号线	1.8V	O	J1-P16	
	RGMII0_TRN3	PHY	PHY 差分信号线	1.8V	O	J1-P18	

表 6-4 Ethernet 接口 PIN 定义

## 6.5. QSPI 接口

MYC-C7Z010-20-V2 核心板最大支持 2 路 QSPI 控制器，支持主/从模式。SPI 信号包括 SPI\_CLK、SPI\_MOSI 和 SPI\_MISO，设计时要先确认主从设备的关系，进而确认 MOSI 和 MISO 信号的方向。核心板上默认配置了一路 QSPI 接口，如果要使用更多的 QSPI 接口，请查询芯片手册进行配置。

### 6.5.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B8	QSPIO_D0	QSPI	QSPI MOSI 信号	3.3V	IO		
D6	QSPIO_D1	QSPI	QSPI MISO 信号	3.3V	IO		
A7	QSPIO_CS0	QSPI	QSPI 片选信号	3.3V	IO		
A5	QSPIO_SCK	QSPI	QSPI 时钟信号	3.3V	IO		

表 6-5 QSPI 接口 PIN 定义

## 6.6. JTAG 接口

标准的 JTAG 接口是 4 线:TMS、TCK、TDI、TDO，分别为模式选择、时钟、数据输入和数据输出线。PL-JTAG 接口时钟 PL-JTAG 使用 JTAG 端口与 XADC 接口，并使用 JTAG 时钟 TCK。JTAG 启动模式被认为是一种从模式启动，并且总是一种不安全的启动模式。JTAG 链分为级联和独立两种配置方式。

### 6.6.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
F9	JTAG_TCK	JTAG	JTAG clock signal	3.3V	IO	J1-P94	
G6	JTAG_TDI	JTAG	JTAG input signal	3.3V	IO	J1-P96	
F6	JTAG_TDO	JTAG	JTAG output signal	3.3V	IO	J1-P98	
J6	JTAG_TMS	JTAG	JTAG chip select signal	3.3V	IO	J1-P100	

表 6-6 JTAG 接口 PIN 定义

## 6.7. HDMI 接口

MYC-C7Z010-20-V2 设计了 HDMI 接口，高清晰度多媒体接口是一种数字化视频/音频接口技术，是适合影像传输的专用型数字化接口，其可同时传送音频和影像信号，最高数据传输速度为 2.25GB/s，同时无需在信号传送前进行数/模或者模/数转换。

### 6.7.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	HDMI	12 位输入像素数据总线	3.3V	I	J2-P31	
T15	IO_B34_LN5	HDMI	12 位输入像素数据总线	3.3V	I	J2-P33	
T16	IO_B34_LP9	HDMI	12 位输入像素数据总线	3.3V	I	J2-P27	
U17	IO_B34_LN9	HDMI	12 位输入像素数据总线	3.3V	I	J2-P29	
U18	IO_B34_LP12	HDMI	12 位输入像素数据总线	3.3V	I	J2-P28	
U19	IO_B34_LN12	HDMI	12 位输入像素数据总线	3.3V	I	J2-P30	
V16	IO_B34_LP13	HDMI	12 位输入像素数据总线	3.3V	I	J2-P9	
W16	IO_B34_LN13	HDMI	12 位输入像素数据总线	3.3V	I	J2-P11	
V16	IO_B34_LP18	HDMI	12 位输入像素数据总线	3.3V	I	J2-P24	
W16	IO_B34_LN18	HDMI	12 位输入像素数据总线	3.3V	I	J2-P26	
R16	IO_B34_LP19	HDMI	12 位输入像素数据总线	3.3V	I	J2-P23	
R17	IO_B34_LN19	HDMI	12 位输入像素数据总线	3.3V	I	J2-P25	
T17	IO_B34_LP20	HDMI	12 位输入像素数据总线	3.3V	I	J2-P18	
R18	IO_B34_LN20	HDMI	12 位输入像素数据总线	3.3V	I	J2-P20	
V17	IO_B34_LP21	HDMI	12 位输入像素数据总线	3.3V	I	J2-P14	
V18	IO_B34_LN21	HDMI	12 位输入像素数据总线	3.3V	I	J2-P16	
W18	IO_B34_LP22	HDMI	12 位输入像素数据总线	3.3V	I	J2-P13	
W19	IO_B34_LN22	HDMI	12 位输入像素数据总线	3.3V	I	J2-P15	
N17	IO_B34_LP23	HDMI	12 位输入像素数据总线	3.3V	I	J2-P17	
P18	IO_B34_LN23	HDMI	12 位输入像素数据总线	3.3V	I	J2-P19	
V13	IO_B34_LN3	HDMI	中断输出	3.3V	0	J2-P52	
D8	PS_MIO7	HDMI	复位信号	3.3V	I	J1-P133	

表 6-7 HDMI 接口 PIN 定义



## 6.8. LCD 接口

MYC-C7Z010-20-V2 设计了 1 路 2x25\_2.54mm 间距的双排针接口，此在此排针上定义了多个 GPIO 口,LCD 信号,FPGA 信号, 3.3V,DC\_IN\_5V。接口图如下。

### 6.8.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	HDMI	显示数据信号	3.3V	IO	J2-P31	
T15	IO_B34_LN5	HDMI	显示数据信号	3.3V	IO	J2-P33	
T16	IO_B34_LP9	HDMI	显示数据信号	3.3V	IO	J2-P27	
U17	IO_B34_LN9	HDMI	显示数据信号	3.3V	IO	J2-P29	
U18	IO_B34_LP12	HDMI	显示数据信号	3.3V	IO	J2-P28	
U19	IO_B34_LN12	HDMI	显示数据信号	3.3V	IO	J2-P30	
V16	IO_B34_LP13	HDMI	显示数据使能	3.3V	IO	J2-P9	
W16	IO_B34_LN13	HDMI	显示像素时钟信号	3.3V	IO	J2-P11	
V16	IO_B34_LP18	HDMI	显示数据信号	3.3V	IO	J2-P24	
W16	IO_B34_LN18	HDMI	显示数据信号	3.3V	IO	J2-P26	
R16	IO_B34_LP19	HDMI	显示数据信号	3.3V	IO	J2-P23	
R17	IO_B34_LN19	HDMI	显示数据信号	3.3V	IO	J2-P25	
T17	IO_B34_LP20	HDMI	显示数据信号	3.3V	IO	J2-P18	
R18	IO_B34_LN20	HDMI	显示数据信号	3.3V	IO	J2-P20	
V17	IO_B34_LP21	HDMI	显示场信号	3.3V	IO	J2-P14	
V18	IO_B34_LN21	HDMI	显示行信号	3.3V	IO	J2-P16	
W18	IO_B34_LP22	HDMI	显示数据信号	3.3V	IO	J2-P13	
W19	IO_B34_LN22	HDMI	显示数据信号	3.3V	IO	J2-P15	
N17	IO_B34_LP23	HDMI	显示数据信号	3.3V	IO	J2-P17	
P18	IO_B34_LN23	HDMI	显示数据信号	3.3V	IO	J2-P19	
P15	IO_B34_LP24	HDMI	电容触摸复位	3.3V	O	J2-P10	
P16	IO_B34_LN24	HDMI	电容触摸中断	3.3V	O	J2-P12	
T19	IO_B34_25	HDMI	无定义, 高电平有效	3.3V	IO	J2-P7	
R19	IO_B34_0	HDMI	显示背光电源 PWM 控制	3.3V	O	J2-P8	

表 6-8 LCD 接口 PIN 定义

## 6.9. FMC 接口

MYC-C7Z010-20-V2 设计 FMC 接口，FMC 在为基板(载卡)上的 FPGA 提供标准的夹层板（子卡）尺寸、连接器和模块接口。通过这种方式将 I/O 接口与 FPGA 分离，不仅简化了 I/O 接口模块设计，同时还最大化了载卡的重复利用率。此型号为 ASP-134603-01，规格是 Array Socket SKT 160Pin 1.27mm Solder。它具有兼容性：标准化的电源，规范的信号定义，增加彼此的兼容性。

### 6.9.1. 引脚定义

由于引脚过多，在此不展开描述，列举几个特殊的说明，详细引脚信息可查看其规格书和原理图。

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
F9	JTAG_TCK	FMC	FMC_JTAG 时钟信号	3.3V	IO		
J6	JTAG_TMS	FMC	FMC_JTAG 模式选择	3.3V	IO		
G6	JTAG_TDI	FMC	FMC_JTAG 信号输入	3.3V	I		
F6	JTAG_TDO	FMC	FMC_JTAG 信号输出	3.3V	O		
	JTAG_TRST	FMC	FMC_JTAG_TRST 复位信号	3.3V	IO		
T11	IO_B34_LP1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P61	
T10	IO_B34_LN1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P63	
T12	IO_B34_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P62	
U12	IO_B34_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P64	
U13	IO_B34_LP3	FMC	FMC_PRSENT 信号引脚	3.3V	IO	J2-P57	
C20	IO_B35_LP1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P45	
B20	IO_B35_LN1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P47	
B19	IO_B35_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P71	
A20	IO_B35_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P73	
E17	IO_B35_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P67	
D18	IO_B35_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P69	

表 6-9 FMC 接口 PIN 定义

## 6.10. FPC 接口

MYC-C7Z010-20-V2 设计了一路 FPC 连接器。连接器型号为 FH12-50S-0.5SV，规格为 50Pin,0.5mm，3.9mm Height。FPC 具有体积小，重量轻，厚度薄等特点。

### 6.10.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	HDMI	显示数据信号	3.3V	IO		
T15	IO_B34_LN5	HDMI	显示数据信号	3.3V	IO		
T16	IO_B34_LP9	HDMI	显示数据信号	3.3V	IO		
U17	IO_B34_LN9	HDMI	显示数据信号	3.3V	IO		
U18	IO_B34_LP12	HDMI	显示数据信号	3.3V	IO		
U19	IO_B34_LN12	HDMI	显示数据信号	3.3V	IO		
V16	IO_B34_LP13	HDMI	显示数据使能	3.3V	IO		
W16	IO_B34_LN13	HDMI	显示像素时钟信号	3.3V	IO		
V16	IO_B34_LP18	HDMI	显示数据信号	3.3V	IO		
W16	IO_B34_LN18	HDMI	显示数据信号	3.3V	IO		
R16	IO_B34_LP19	HDMI	显示数据信号	3.3V	IO		
R17	IO_B34_LN19	HDMI	显示数据信号	3.3V	IO		
T17	IO_B34_LP20	HDMI	显示数据信号	3.3V	IO		
R18	IO_B34_LN20	HDMI	显示数据信号	3.3V	IO		
V17	IO_B34_LP21	HDMI	显示场信号	3.3V	IO		
V18	IO_B34_LN21	HDMI	显示行信号	3.3V	IO		
W18	IO_B34_LP22	HDMI	显示数据信号	3.3V	IO		
W19	IO_B34_LN22	HDMI	显示数据信号	3.3V	IO		
N17	IO_B34_LP23	HDMI	显示数据信号	3.3V	IO		
P18	IO_B34_LN23	HDMI	显示数据信号	3.3V	IO		
P15	IO_B34_LP24	HDMI	电容触摸复位	3.3V	O		
P16	IO_B34_LN24	HDMI	电容触摸中断	3.3V	O		
T19	IO_B34_25	HDMI	无定义，高电平有效	3.3V	IO		
R19	IO_B34_0	HDMI	显示背光电源 PWM 控制	3.3V	O		

表 6-10 FPC 接口 PIN 定义

## 6.11. RTC 电池座接口

MYC-C7Z010-20-V2 设计了纽扣电池座。电池座子为 2Pinx1.25mm 间距。需使用额定输出电压 3.0V 的纽扣电池。采用 I2C 方式控制。

### 6.11.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B13	PS_501_MIO_50	CAN	RTC_I2C_SCL	3.3V	I	J1-P126	
B9	PS_501_MIO_51	CAN	RTC_I2C_SDA	3.3V	O	J1-P128	

表 6-11 RTC 时钟 PIN 定义

## 6.12. CAN 接口

MYC-C7Z010-20-V2 支持 2 路 CAN 控制器。符合 ISO 11898 -1、CAN 2.0A、CAN2.0B 标准。支持标准帧(11 位标识)和扩展帧(29 位标识)。支持 1mb /s 的码率。

### 6.12.1. 引脚定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
D5	PS_MIO8	CAN	CAN_TXD	3.3V	I	J1-P113	
B5	PS_MIO9	CAN	CAN_RXD	3.3V	O	J1-P115	

表 6-12 CAN 接口 PIN 定义

## 6.13. GPIO 接口

通用 I/O (GPIO) 外设提供了通过 MIO 模块观察和控制多达 54 个设备引脚的软件。它还提供从可编程逻辑(PL)的 64 个输入和通过 EMIO 接口到 PL 的 128 个输出的访问。GPIO 被组织成四组寄存器，这些寄存器对相关的接口信号进行分组。每个 GPIO 作为输入、输出或中断传感是独立和动态编程的。软件可以使用单个加载指令读取银行内的所有 GPIO 值，或者使用单个存储指令将数据写入一个或多个 GPIO(在 GPIO 的范围内)。GPIO 控制和状态寄存器的内存映射在基址 0xE000 A000。

### 6.13.1. 引脚定义

GPIO 模块分为四组: Bank0: 32 位 Bank 控制 MIO 引脚[31:0]

Bank1: 22 位 Bank 控制 MIO 引脚[53:32] ; 注意:Bank1 被限制为 22 位, 因为 MIO 共有 54 个引脚。

Bank2: 32 位 Bank 控制 EMIO 信号[31:0] ; Bank3: 32 位 Bank 控制 EMIO 信号 [63:32]

软件通过一系列的内存映射寄存器来控制 GPIO。每个 Bank 的控制是相同的, 尽管由于 MIO 和 EMIO 银行的功能不同, 它们之间有一些小的差异。

## 6.14. 核心板内部资源管脚说明

MYC-C7Z010-20-V2 核心板内部有使用一些 IO 资源，这些管脚已经设置位固定功能，不能更改这些管脚的资源分配。

此外考虑到用户基于米尔核心板进行产品开发时，可能希望更加自由地定义核心板资源，在进行管脚定义资源请排除以下管脚，且对其它管脚的定义不要与以下默认功能重复。

MCU 引脚	默认功能	备注
E9	eMMC_D0	EMMC
E8	eMMC_D1	
C5	eMMC_D2	
C8	eMMC_D3	
C6	eMMC_CMD	
D9	eMMC_CLK	
U13	IO_B34_LP3	LED 指示灯
R11	FPGA_CONFIG_DONE	LED 指示灯 D7
E6	WDT_FEED	看门狗
D8	PS_500_RESET_OUTn	复位
A19	RGMII_TX_CLK	网络芯片
E14	RGMII_TXD0	网络芯片
B18	RGMII_TXD1	网络芯片
D10	RGMII_TXD2	网络芯片
A17	RGMII_TXD3	网络芯片
F14	RGMII_TX_EN	网络芯片
B17	RGMII_RX_CLK	网络芯片
D11	RGMII_RXD0	网络芯片
A16	RGMII_RXD1	网络芯片
F15	RGMII_RXD2	网络芯片
A15	RGMII_RXD3	网络芯片

D13	RGMII_RX_EN	网络芯片
C10	MDIO_CLK	网络芯片
C11	MDIO_DATA	网络芯片
MIO09		未使用
MIO50		未使用
MIO51		未使用

表 6-14 核心板内部资源引脚定义

## 7. 封装信息

### 7.1. 机械尺寸

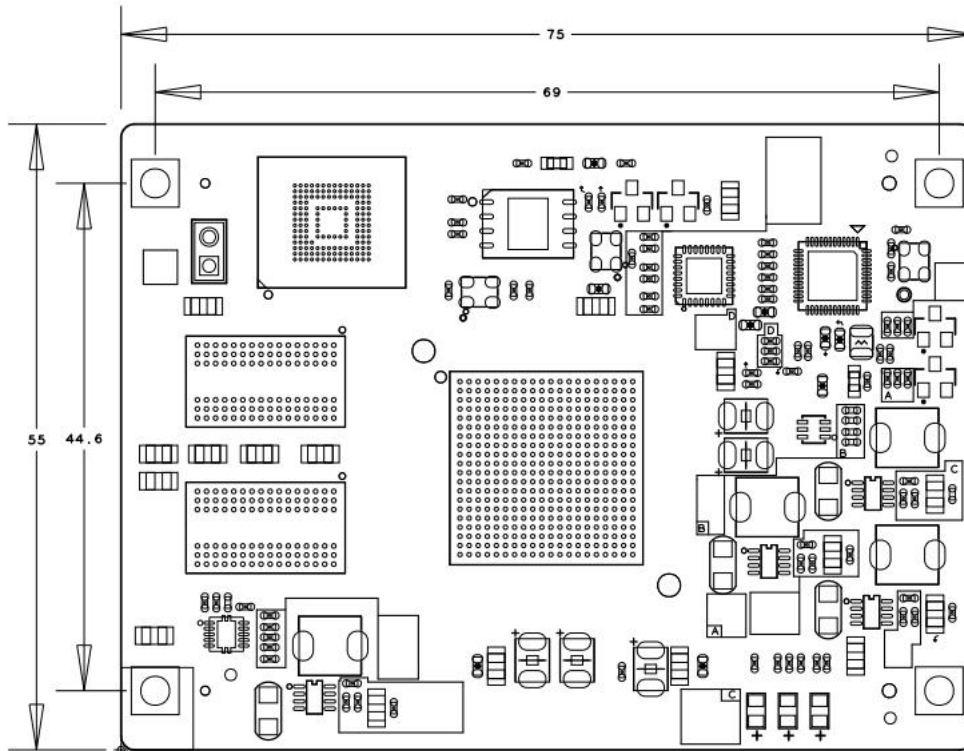


图 7-1 MYC-C7Z010-20-V2 核心板俯视图(单位: mm)

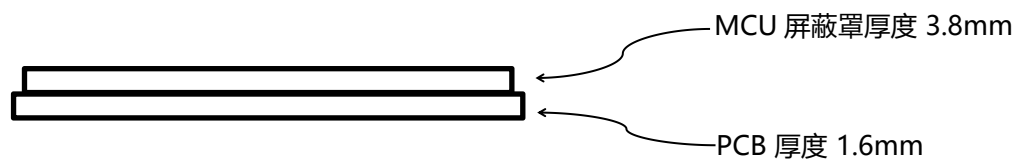


图 7-2 MYC-C7Z010-20-V2 核心板侧视图 (此版本无屏蔽罩)



## 7.2. 底板 PCB 封装

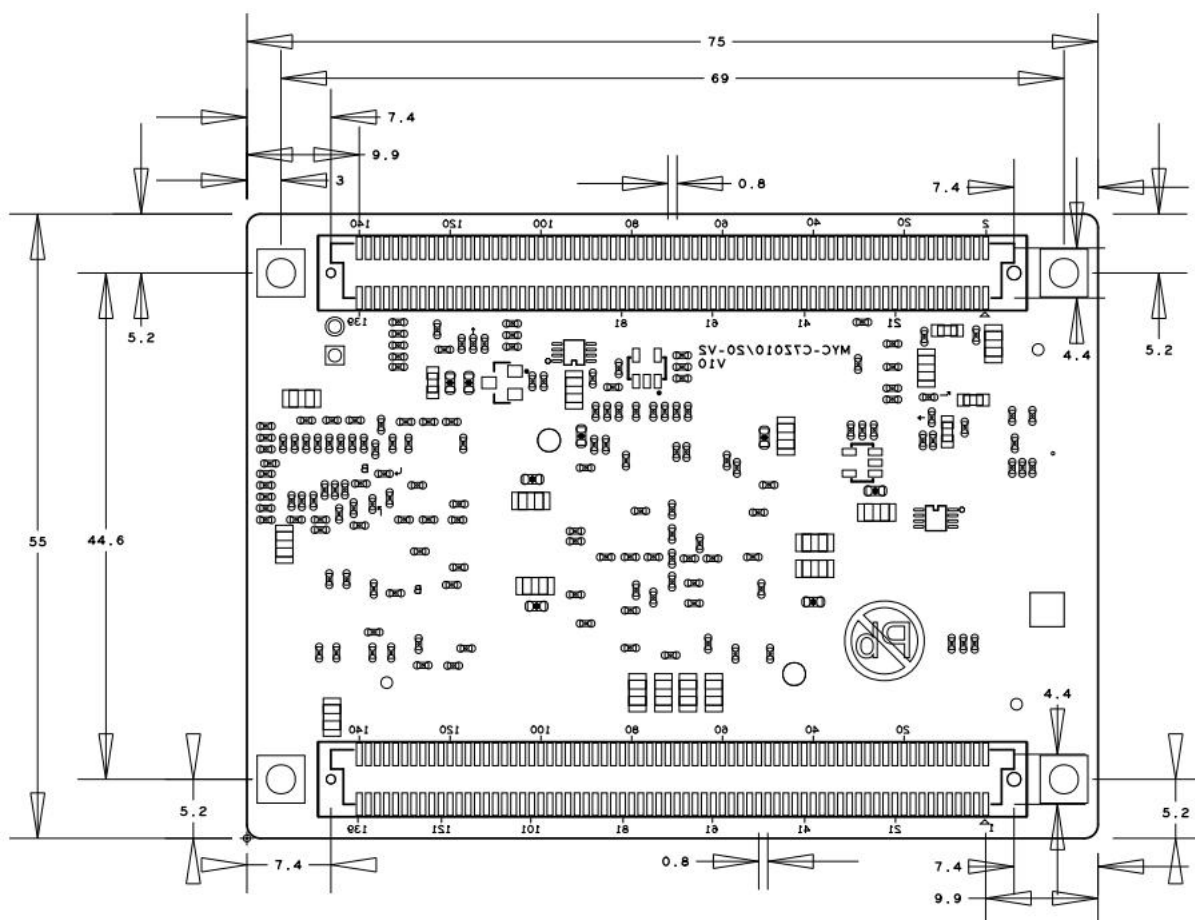


图 7-3 MYC-C7Z010-20-V2-核心板 PCB 封装(单位: mm)

连接器引脚 140Pin 间距 0.8mm。米尔电子提供设计好的 PCB 封装，请访问 <http://down.myir-tech.com/> 以获取该封装文件。

## 7.3. 底板 PCB 要求

- 推荐 PCB 厚度至少 1.6mm，注意覆铜的均衡，如过炉出现 PCB 变形，建议使用载具固定过炉。
- 为保证贴装和上锡质量，请确保 PCB 上模块与其它元器件之间的距离至少 3mm。
- 请按照 7.2 节设计核心板模块的封装，或者使用米尔电子提供的 PCB 封装。

## 8. 贴装和储存要求

### 8.1. 钢网设计

- a) 厚度：推荐模块焊盘部分对应的钢网厚度为 0.18~0.2mm。
- b) 开孔：如按推荐焊盘设计，钢网开孔的宽度相对于焊盘内缩 10%，长度相对焊盘延长 15%；如未按推荐焊盘设计，建议对应焊盘按 1: 1.2 的比例开孔，注意避免连锡。

注：如钢网厚度无法按推荐设计导致锡量不足，可考虑添加预成型锡膏。

### 8.2. 储存要求

模块以真空密封的形式出货，存储需按以下条件操作：

- a) 环境温度低于 40°C，空气湿度小于 90%的情况下，真空密封袋可存放 12 个月。
- b) 当真空密封袋打开后，在环境温度低于 30°C，空气湿度小于 10%，72 小时内可直接进行回流焊。

注：如未能达到以上条件，在贴片前应进行烘烤。

### 8.3. 烘烤方式

由于模块包装材料无法承受高温，如有需要，请从以下 2 种方式中选择 1 种进行烘烤，避免影响模块焊接质量。

- a) 原包装烘烤：烘烤温度为 40~60°C，时间为 5~7 天。
- b) 转移至耐高温料盘烘烤：烘烤温度为 100~120，烘烤时间为 48 小时以上。

### 8.4. 焊接工艺

- a) 如果待贴片底板是双面器件布局，建议把核心板的贴片工序放在最后一个阶段。
- b) 建议预热区域（160~200°C）的时间设置为 60~120 秒。
- c) 推荐回流焊的温度在 235~245°C，最高不可超过 250°C，回流时间建议控制在 40~60 秒。
- d) 推荐温度上升速度为 1~3°C/秒，温度下降速度为 2~4°C/秒。

# 附录一 联系我们

## 深圳总部

电话: 0755-25622735 / 18924653967

地址: 深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 04 室

## 上海办事处

电话: 021-62087019 / 18924632515; 传真: 021-62087085 / 021-62087019

地址: 上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

## 北京办事处

电话: 010-84675491 / 13316862895

地址: 北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室

## 销售联系方式

网址: [www.myir-tech.com](http://www.myir-tech.com)

邮箱: [sales.cn@myirtech.com](mailto:sales.cn@myirtech.com)

## 技术支持联系方式

电话: 027-59621648

邮箱: [support.cn@myirtech.com](mailto:support.cn@myirtech.com)

在您通过邮件获取帮助时, 请使用以下格式书写邮件标题, 以便于相应开发组快速跟进并处理您的问题:

*[公司名称/个人--开发板型号] 问题概述*

## 附录二 售后服务与技术支持

凡是通过米尔科技直接购买或经米尔科技授权的正规代理商处购买的米尔科技全系列产品，均可享受以下权益：

- 1、6个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔科技开发的部分软件源代码
- 6、可直接从米尔科技购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，漫长的等待周期
- 7、自购买之日起，即成为米尔科技永久客户，享有再次购买米尔科技任何一款软硬件产品的优惠政策
- 8、OEM/ODM 服务

如有以下情况之一，则不享有免费保修服务：

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

### 产品返修

用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之前，请先致电米尔科技客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不必要的运费损失及周期的耽误。

### 维修周期

收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间内维修或更换并寄回。一般的故障维修周期为3个工作日（自我司收到物品之日起，不计运输过程时间），由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

### 维修费用

在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

### 运输费用

产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户的费用由我司承担。非正常保修产品来回运费均由用户承担。