

FZ3 深度学习计算卡 硬件手册

版本 V1.0

版本记录

版本号	说明	时间
V1.0	初始版本	2020/06/23

目 录

目 录	3
第 1 章 产品概述.....	1
1.1 产品简介	1
1.2 产品预览.....	1
第 2 章 SOC 介绍	2
2.1 SoC 特性	2
2.2 SoC BANK	4
第 3 章 硬件资源介绍	5
3.1 开发板硬件资源	5
3.2 引导模式和 JTAG 模式选择.....	6
3.3 DDR4	6
3.4 存储	7
3.4.1 SPI Flash	7
3.4.2 eMMC	8
3.5 以太网	9
3.6 USB.....	10
3.7 多路可编程时钟发生器	11
3.8 外部看门狗与复位	11
第 4 章 硬件接口.....	12
4.1 板上接口说明	12
4.2 PS 单元接口	13
4.2.1 DisplayPort 接口.....	13
4.2.2 PCIe 1x 接口.....	13
4.2.3 PS 端以太网.....	13
4.2.4 USB Host.....	13
4.2.5 TF 卡接口	13
4.2.6 MicroUSB to UART 接口	13
4.2.7 JTAG	13

4.3 PL 单元接口	14
4.3.1 MIPI-CSI 摄像头接口	14
4.3.2 BT1120 视频输入接口	14
4.3.3 IO 扩展接口	15
4.4 其他接口	16
4.4.1 电源输入接口	16
4.4.2 RTC 电池接口	16
4.4.3 风扇接口	16
4.4.4 CAN 接口	16
4.4.5 RS485 接口	17
第 5 章 机械参数	18
附录一 售后服务与技术支持	19

第 1 章 产品概述

1.1 产品简介

FZ3 深度学习计算卡是深圳市米尔科技有限公司推出的一款以 Xilinx XCZU3EG 作为核心的嵌入式智能 AI 开发平台。采用了 Xilinx 最新的基于 16nm 工艺的 Xilinx Zynq UltraScale+ MPSoC 平台，集成了四核 Cortex™-A53 处理器，双核 Cortex™-R5 实时处理单元以及 Mali-400 MP2 图形处理单元及 16nm FinFET+ 可编程逻辑相结合的异构处理系统，具有高性能，低功耗，高扩展等特性，能在工业设计中满足各种需要。

同时深圳市米尔科技有限公司提供各种成熟的硬件解决方案，提供丰富的嵌入式操作系统软件资源，通过配套的设计工具，帮助嵌入式开发人员充分发挥软硬件协同优势，实现超越传统架构的创新设计。

1.2 产品预览

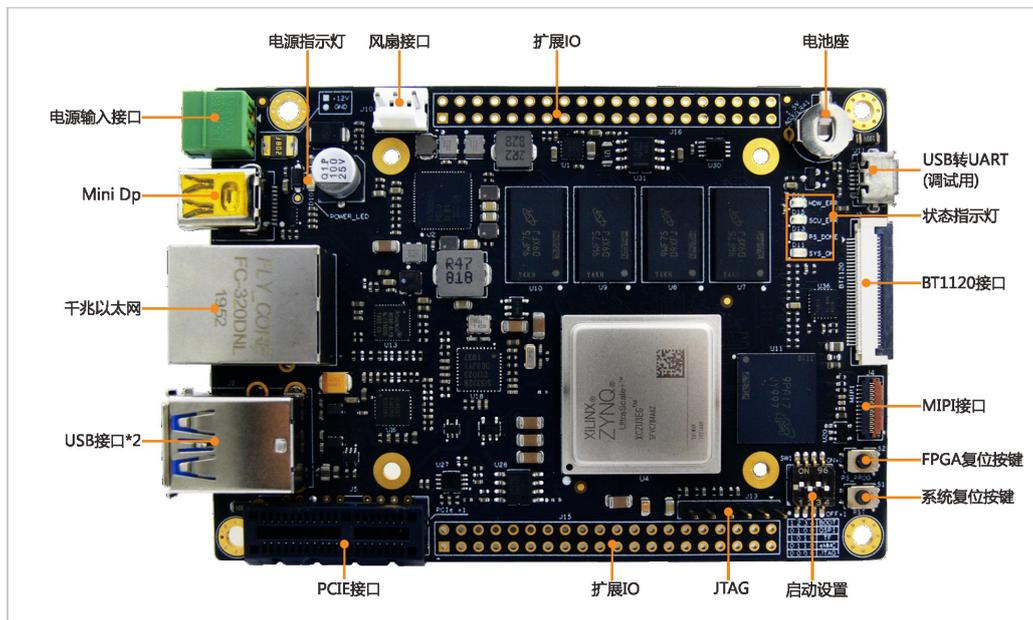


Figure 1-2

产品型号差异	
FZ3A	2GB DDR4 64bit 2400Mbps
FZ3B	4GB DDR4 64bit 2400Mbps

第 2 章 SOC 介绍

2.1 SoC 特性

此开发平台主 CPU 采用的 XCZU3EG 属于 Zynq UltraScale + MPSoC 系列 SoC，集成了 ARM 四核 Cortex-A53（PS），双核 Cortex-R5（PS），Mali-400 MP2 图形处理单元和 Kintex Ultrascale + FPGA（PL）。四核 Cortex-A53 具有强大的计算能力，双核 Cortex-R5 可用于实时处理应用，Mali-400 MP2 可用于加速图形处理，而 FPGA 具有完全可编程性。配合丰富都常用接口以及可扩展接口，可适应各种应用场景。

MYS-ZU3EG-8E2D-EDGE 采用 Xilinx XCZU3EG-SFVC784 器件，速度等级为-1（。XCZU3EG-SFVC784 支持 1.5GHz（最大-1）的 APU 速度，600MHz（最大-1）的 RPU 速度，667MHz（最大-1）的 GPU 速度，以及高达 2400Mbps 的 DDR4 速度。

XCZU3EG-SFVC784 器件具有以下资源：

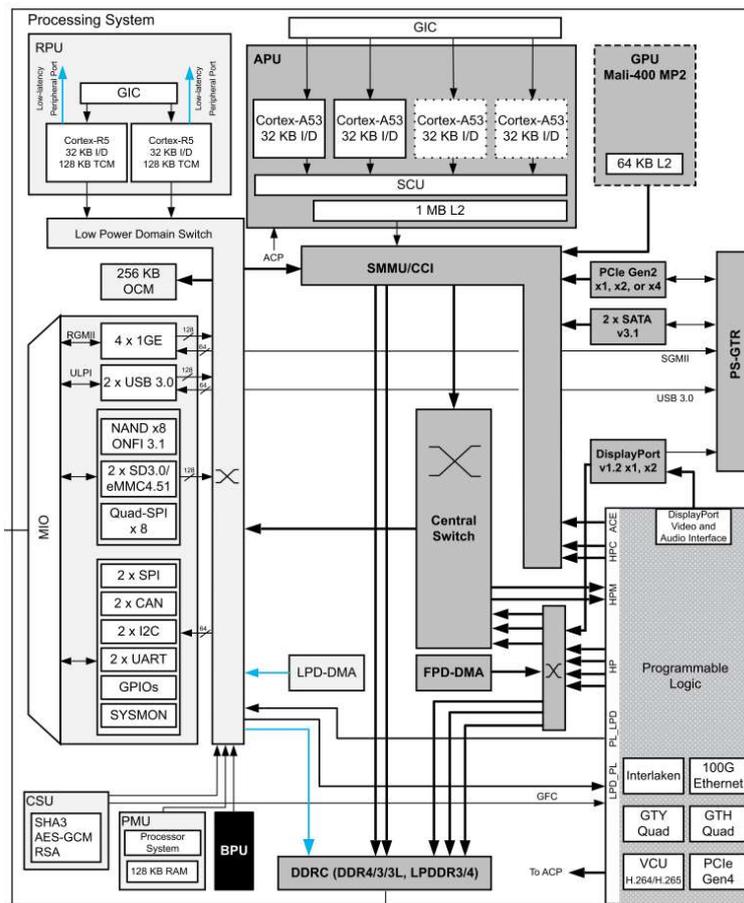


Figure 2-1

➤ 处理器系统单元（PS）

- **处理核心：**四核 ARM Cortex-A53 多核处理器 高达 1.5GHz
- **最高时钟频率：**1.5Ghz
- **APU：**L1 Cache 32KB I / D 每个核心, L2 Cache 1MB.
- **RPU：**L1 Cache 32KB I / D 每个核心.
- **片内缓存：**256KB
- **片外接口：**支持 LPDDR4, DDR4, DDR3, DDR3L LPDDR3 with ECC
- **外部静态存储：**2x Quad-SPI, NAND
- **DMA 通道：**8（其中 4 个 PL 专用）
- **外设：**
 - **高速接口：**PCIe® Gen2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet.
 - **通用接口：**2xUSB 2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO

➤ **可编程逻辑单元（PL）**

	MYC-XCZU3EG
逻辑核心	Xilinx Kintex Ultrascale+®FPGA
可编程逻辑单元	154K
Look-Up Tables	71K
触发器	141K
Block RAM	Distributed RAM 1.8Mb / Block RAM 7.6Mb
DSP slice	360
AMS-System Monitor	1

Table 2-1

2.2 SoC BANK

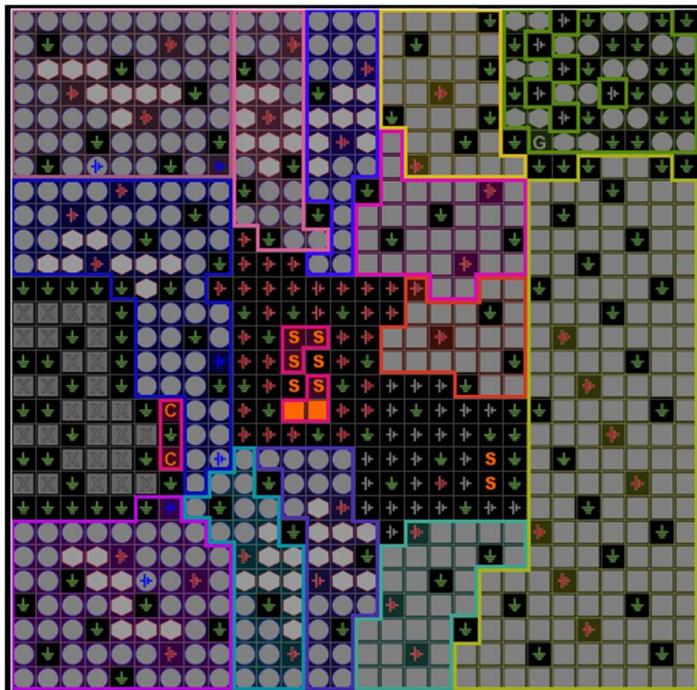


Figure 2-2 XCZU3EG SFVC784 Banks

- **BANK 0** : humidity Sensor, XADC , Other configuration signals
- **BANK 24**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 25**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 26**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 44**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 64**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 65**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 66**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 500**: PS side, MIO[00:25] 26pin, 复用管脚
- **BANK 501**: PS side, MIO[26:51] 26pin, 复用管脚
- **BANK 502**: PS side, MIO[52:77] 26pin, 复用管脚
- **BANK 503**: PS 处理器侧, 包含 PS 配置引脚, JTAG 以及其他启动配置引脚, 复位信号灯。
- **BANK 504**: PS side, 内存接口 BANK
- **BANK 505**: PS side, 高速 Serdes BANK

第 3 章 硬件资源介绍

3.1 开发板硬件资源



Figure 3-1

➤ 硬件资源

- ◆ 2GB/4GB DDR4 SDRAM (64bit 2400Mbps)
- ◆ 8GB eMMC
- ◆ 32MB QSPI
- ◆ 10/100/1000Mb/s 千兆以太网 PHY
- ◆ RS485 * 1, CAN * 1

➤ 外设接口及资源

- ◆ 1路 TF 卡接口
- ◆ 1路 USB2.0 物理接口, 1路 USB3.0 物理接口
- ◆ 1路千兆 RJ45 以太网接口
- ◆ 1路 Mini Displayport 接口
- ◆ 1路 PCIe x1 接口
- ◆ 1个系统复位按键, 1个 FPGA 复位按键

- ◆ 1 路 MIPI-CSI 接口，1 路 BT1120 接口
- ◆ 1 路 JTAG 接口，1 路 USB 转 UART 调试接口
- ◆ 2 个 40PIN 2.54mm 间距 IO 扩展接口
- ◆ 四个板载 LED 状态指示

3.2 引导模式和 JTAG 模式选择

开发板提供四种启动方式供选择，分别是 JTAG，SD1，eMMC 和 Quad-SPI 启动，可通过拨码开关 SW1 进行设置。

Name	PS_MODE0	PS_MODE1	PS_MODE2	PSMODE3
SW1	M0	M1	M2	M3
JTAG	ON	ON	ON	ON
QSPI32	ON	OFF	ON	ON
SD1	OFF	ON	OFF	ON
eMMC18	ON	OFF	OFF	ON

Table 3-2

注：ON=0，OFF=1。

3.3 DDR4

开发板采用四片 Micron 公司的（MT40A256M16LY-062E IT:F） DDR4 内存芯片，64 位接口，共计 2GB 容量,可选配 4GB 容量。DDR4 存储器连接到 SoC 的 PS DDR 控制器的物理端口上，IO 电压为 1.2V，支持的最高速度达 2400MT/s。

3.4 存储

3.4.1 SPI Flash

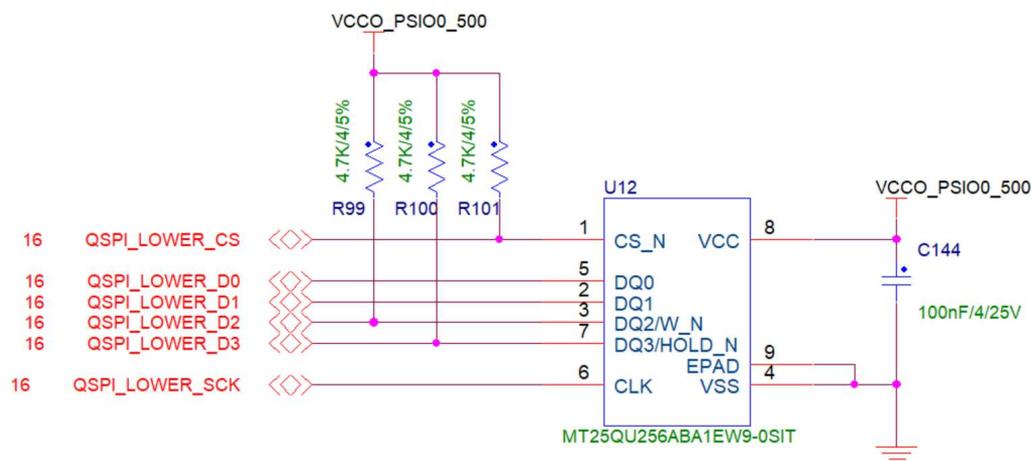


Figure 3-4-1

开发板带有 1 片 Quad-SPI Flash(MT25QU256ABA1EW9-0SIT)，连接到 CPU 的 QS PI0 接口 BANK500 的 PS_MIO0~PSMIO5 引脚：

U12	
PS_MIO0	QSPI_LOWER_SCK
PS_MIO1	QSPI_LOWER_D1
PS_MIO2	QSPI_LOWER_D2
PS_MIO3	QSPI_LOWER_D3
PS_MIO4	QSPI_LOWER_D0
PS_MIO5	QSPI_LOWER_CS

Table 3-4-1

可以用于引导 SoC，初始化 PS 并配置 PL 单元。

3.4.2 eMMC

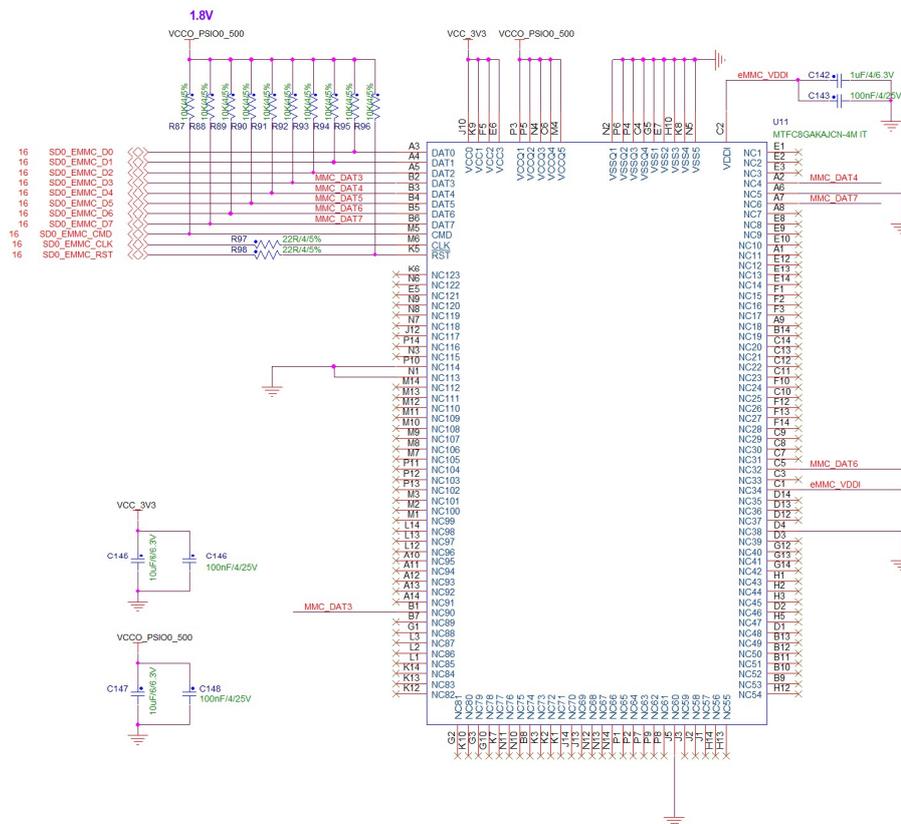


Figure 3-4-2

板载镁光 8GB eMMC -- MTFC8GAKAJCN-4M IT, 8 位接口, 连接到了 CPU 的 SD IO1-- BANK500 的 PS_MIO13~的 PS_MIO23 引脚:

U31	
PS_MIO13	SDO_EMMC_D0
PS_MIO14	SDO_EMMC_D1
PS_MIO15	SDO_EMMC_D2
PS_MIO16	SDO_EMMC_D3
PS_MIO17	SDO_EMMC_D4
PS_MIO18	SDO_EMMC_D5
PS_MIO19	SDO_EMMC_D6
PS_MIO20	SDO_EMMC_D7
PS_MIO21	SDO_EMMC_CMD
PS_MIO22	SDO_EMMC_CLK
PS_MIO23	SDO_EMMC_RST

Table 3-4-2

3.5 以太网

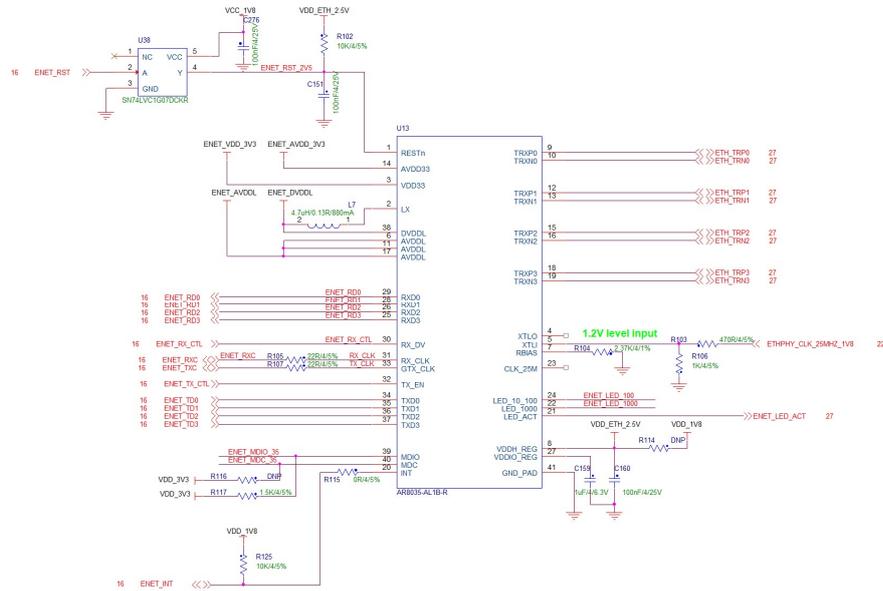


Figure 3-5

Zynq UltraScale+的 PS 单元包含一路千兆以太网 MAC 硬件控制器，外部需接有以太网物理层传输芯片，开发板采用 AR8035-AL1B-R 作为 PHY，利用 PS 端 RGMII 接口接出一路千兆以太网口。其中 PHY 的 IIC 地址为 0x4。

AR8035-AL1B-R 接到了 CPU 的 ETH0—BANK501 的 PS_MIO64 ~ PS_MIO77 引脚。

U34	
PS_MIO64	ENET_TXC
PS_MIO65	ENET_TD0
PS_MIO66	ENET_TD1
PS_MIO67	ENET_TD2
PS_MIO68	ENET_TD3
PS_MIO69	ENET_TX_CTL
PS_MIO70	ENET_RXC
PS_MIO71	ENET_RD0
PS_MIO72	ENET_RD1
PS_MIO73	ENET_RD2
PS_MIO74	ENET_RD3
PS_MIO75	ENET_RX_CTL
PS_MIO76	ENET_MDC_35
PS_MIO77	ENET_MDIO_35
PS_MIO39	ENET_INT
PS_MIO40	GEM3_RESET_N

Table 3-5

3.6 USB

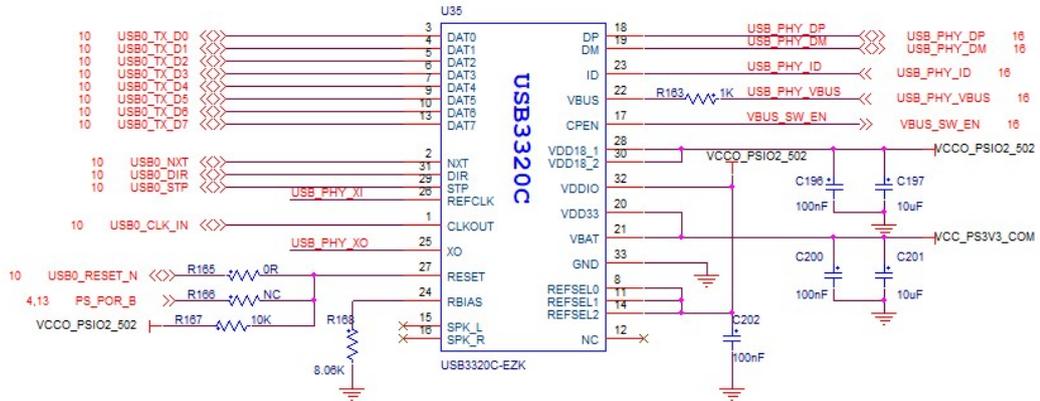


Figure 3-6

SoC 通过 PS 端的 USB 控制器与一片 SMSC 公司的 USB PHY 芯片 USB3320C 连接构成一个 USB 2.0 端口作为 USB Host，再通过 GL852G 扩展出 4 个 USB2.0 端口，其中一个端口信号和 PS 端的 USB3.0 端口合并在一起组成一个 USB3.0 端口，其他几个端口作为单独的 USB2.0 端口引出。

USB3320C 连接到了 CPU 的 USB0—BANK501 的 PS_MIO52~PS_MIO63 引脚。

U35	
PS_MIO52	USB0_CLK_IN
PS_MIO53	USB0_DIR
PS_MIO54	USB0_TX_D2
PS_MIO55	USB0_NXT
PS_MIO56	USB0_TX_D0
PS_MIO57	USB0_TX_D1
PS_MIO58	USB0_STP
PS_MIO59	USB0_TX_D3
PS_MIO60	USB0_TX_D4
PS_MIO61	USB0_TX_D5
PS_MIO62	USB0_TX_D6
PS_MIO63	USB0_TX_D7
PS_MIO38	USB0_RESET_N

Table 3-6

3.7 多路可编程时钟发生器

本平台具有可编程的 IDT SI5332 I2C 可编程时钟发生器，该时钟 IC 通过外部的 26 MHz 晶振经过倍频分频等处理为整个系统生成必要的时钟。原理图如下：

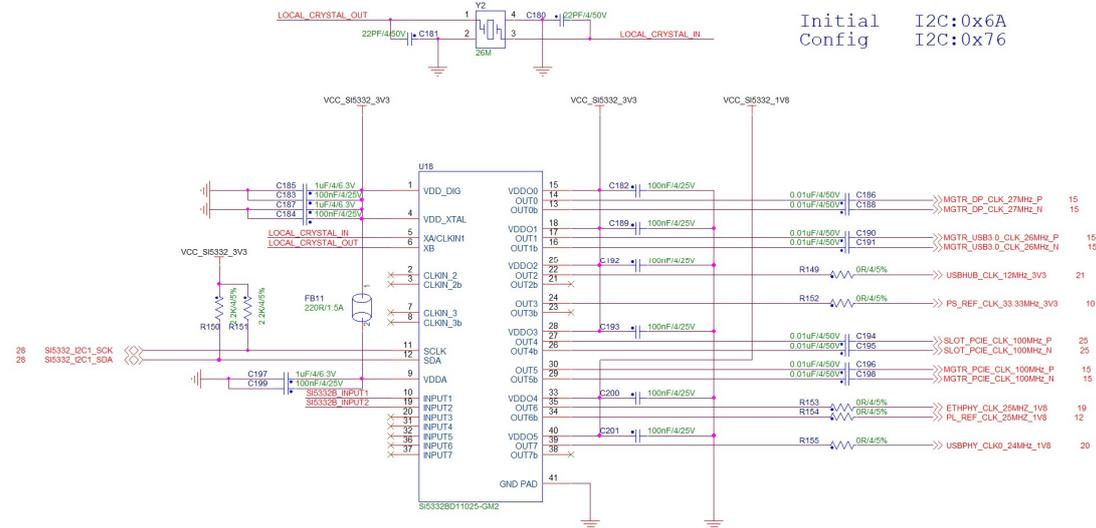


Figure 3-7-1

3.8 外部看门狗与复位

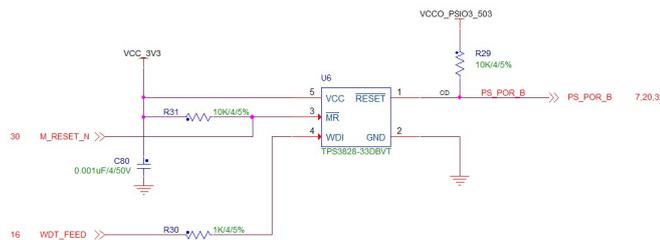


Figure 3-8-1

使用外部看门狗芯片 TPS3828-33DBVT，该芯片的喂狗引脚连接到了 CPU 的 PS_MIO41 引脚，PS_MIO41 设置为高阻态时看门狗不工作，调试阶段可以通过设置 PS_MIO41 为高阻态禁止看门狗工作。

TPS3828-33DBVT 同时具有监控电压复位系统的功能，当电源电压达到门限电压后，复位自动拉高启动系统。复位信号连接到 ZU3EG 上，可以直接复位主芯片。

第 4 章 硬件接口

4.1 板上接口说明

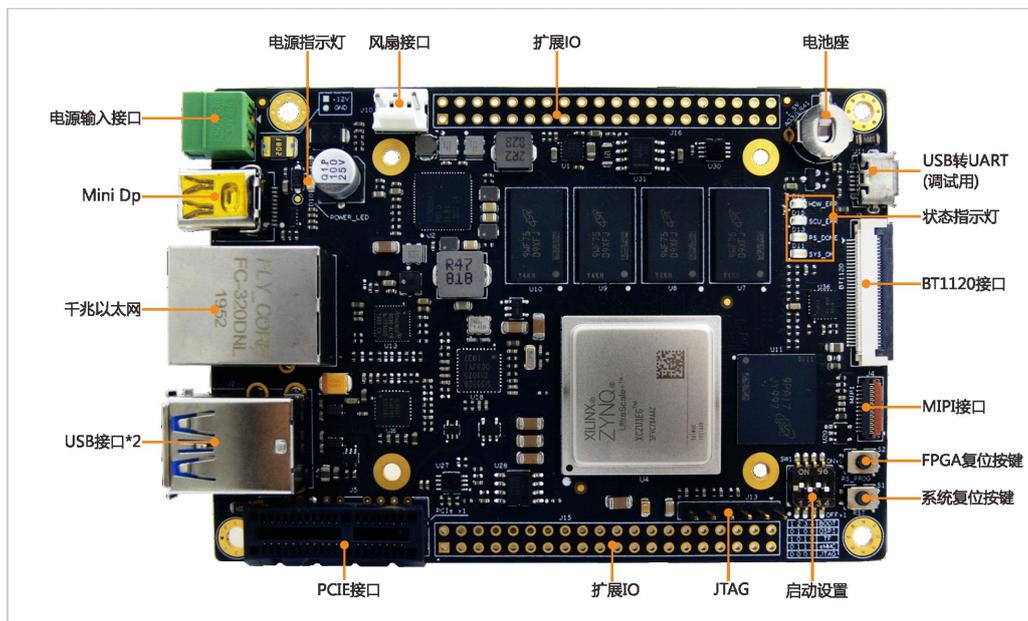


Figure 4-1

Num	Description
J1	电源输入(12V/2A)
J6	DisplayPort 视频输出接口 (PS 端)
J8	千兆以太网接口 (PS 端)
J2	1xUSB3.0 +1xUSB2.0 接口 (PS 端)
J5	PCIe 1x 接口 (PS 端)
J12	TF 卡接口 (PS 端)
J3	BT1120 视频输入接口 (PL 端)
J4	MIPI-CSI 输入接口 (PL 端)
J13	JTAG 接口
J11	MicroUSB to UART 调试接口 (PS 端)
J9	电池座
J10	风扇座
J15, J16	扩展 IO 接口

Table 4-1

4.2 PS 单元接口

4.2.1 DisplayPort 接口

1 路 Mini DisplayPort 接口，2lane，支持 DP1.2a 4K/30fps 分辨率输出。端口为 J6。

4.2.2 PCIe 1x 接口

1 路 PCIe 1x 接口，从 PS 端引出，支持 PCIe 2.1。端口为 J5。

4.2.3 PS 端以太网

1 路 10/100/1000Mbps 以太网 RJ45 接口，端口为 J8。

4.2.4 USB Host

1 路 USB 2.0 接口，1 路 USB3.0 接口（含 USB2.0），一起经由底板上的双层 USB3.0 TYPE-A 接口引出，作为 HOST，接口为 J2，上层仅支持 USB2.0，下层支持 UBS3.0 和 USB2.0。

4.2.5 TF 卡接口

1 路 TF 卡接口，用于启动或者存储，接口为 J12。

4.2.6 MicroUSB to UART 接口

1 路 MicroUSB to UART 接口，用于调试开发板，接口为 J11。

4.2.7 JTAG

1 路 6 Pin 2.54mm 间距插针的 JTAG，可对 PS 和 PL 单元进行调试，端口为 J13，在 PCB 的背面有标注对应的管脚信号。

4.3 PL 单元接口

4.3.1 MIPI-CSI 摄像头接口

本开发板在 PL 端留有 MIPI-CSI 接口，MIPI 信号直接通过 PL 端的 IO，进入 FPGA 内部进行解码。详细 IO 细节请参考底板原理图以及 PINMAP。接口为 J4。

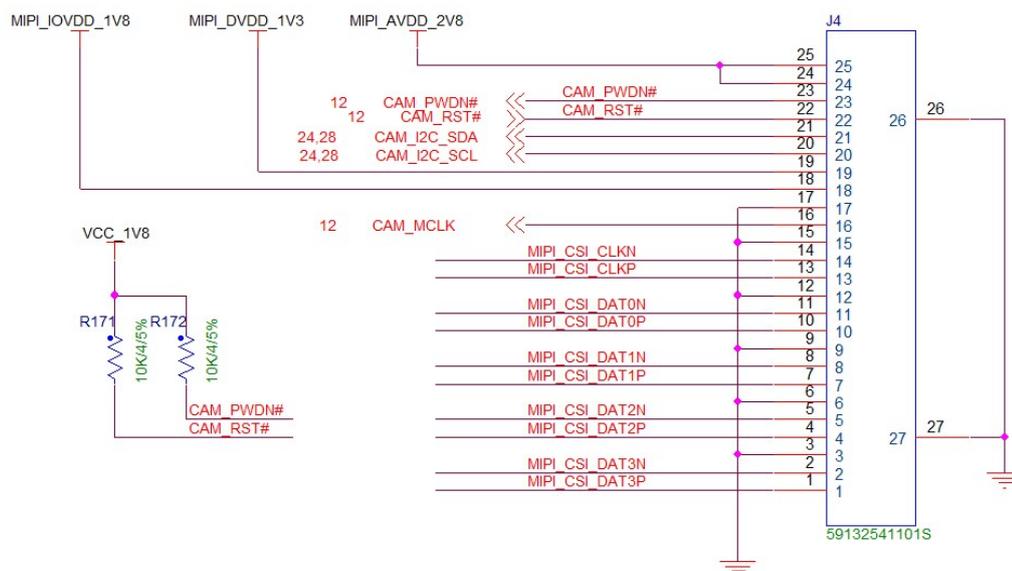


Figure 4-3-1

4.3.2 BT1120 视频输入接口

本开发板在 PL 端留有 BT1120 视频输入接口，BT1120 视频信号直接通过 PL 端的 IO，进入 FPGA 内部进行解码。详细 IO 细节请参考 PINMAP。接口为 J3。

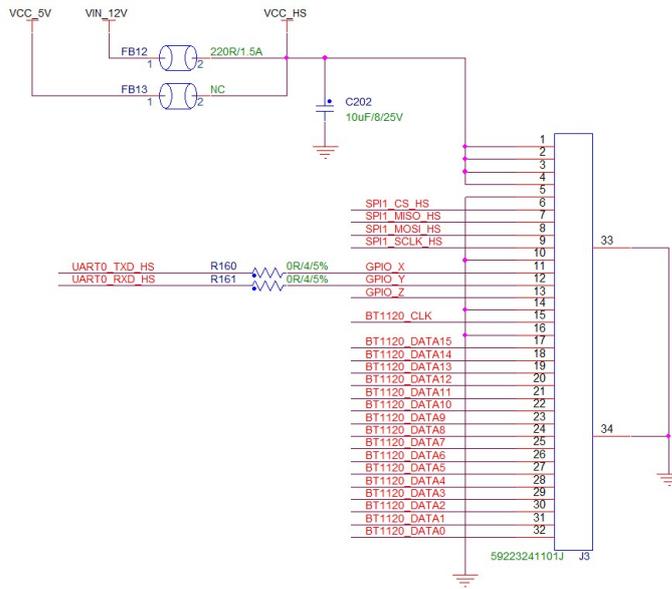


Figure 4-3-2

4.3.3 IO 扩展接口

本开发板通过 2 个 2x20PIN 的 2.54 排针进行 IO 扩展，其中包含 12V, 5V, 3.3V, 1.8V 等电源输出, CAN, RS485, USB2.0x2, 4xPSMIO, 40PIN PL 端 IO 等信号。接口为 J15 和 J16。详细连接器 IO 细节请参考与 FZ3_PINMAP 表格，部分适用的连接器规格以及规格书请参考光盘资料。

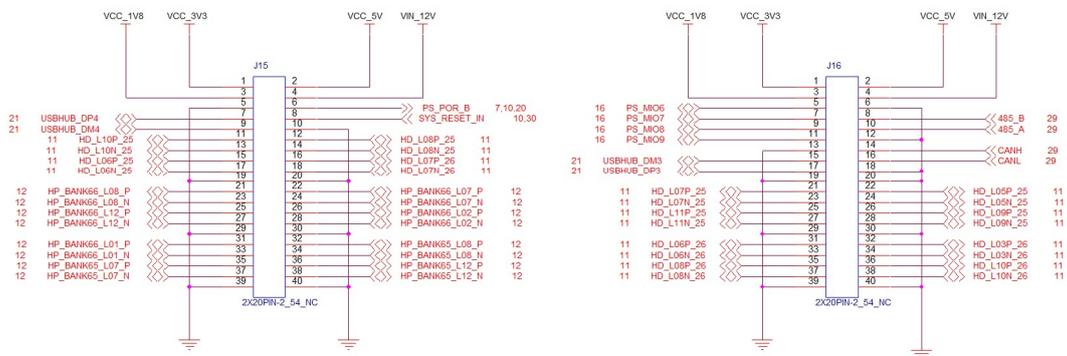


Figure 4-3-2

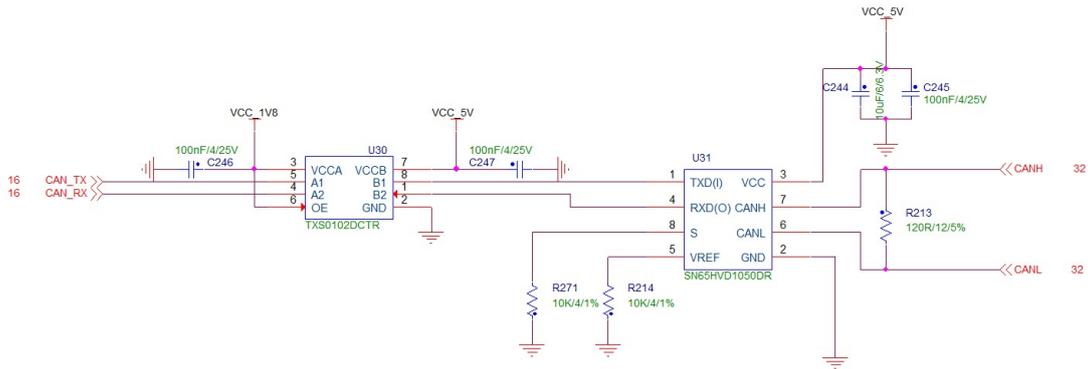


Figure 4-4-4

4.4.5 RS485 接口

本开发板留有 RS485 接口，信号从接口 J16 的 8 和 10 脚引出。

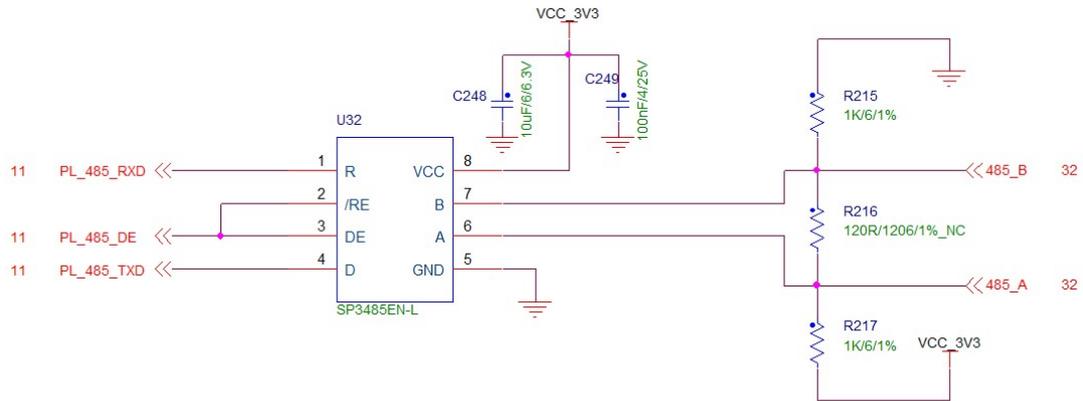
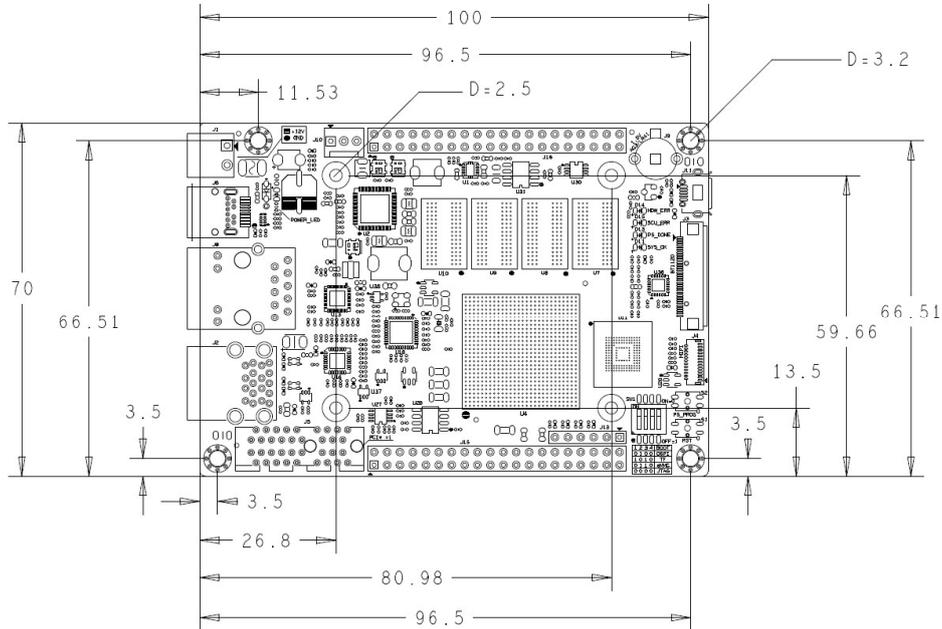


Figure 4-4-5

！注意：关于信号与主芯片 SOC 的对应接入管脚，请参考光盘中的 PINMAP 表格。里面有详细定义以及相关走线长度数据。

第 5 章 机械参数



电气参数:

- 工作温度:
 - 工业级: $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$
- 工作湿度: 20%~90%, 非冷凝
- 电源供电:
 - 整板: 12V/2A
 - RTC 电池: 1.5V
- 扩展接口: 2 个 40 Pin 2.54mm 间距插针连接器
- PCB 板层:
 - 12 层, 沉金工艺生产, 独立的接地信号参考层, 无铅
- 机械尺寸:
 - PCB: 100 mm x 70 mm
 - 风扇: 60 mm x 52 mm

附录一 售后服务与技术支持

凡是通过米尔科技直接购买或经米尔科技授权的正规代理商处购买的米尔科技全系列
产品，均可享受以下权益：

- 1、6 个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔科技开发的部分软件源代码
- 6、可直接从米尔科技购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，
漫长的等待周期
- 7、自购买之日起，即成为米尔科技永久客户，享有再次购买米尔科技任何一款软硬件产
品的优惠政策
- 8、OEM/ODM 服务

如有以下情况之一，则不享有免费保修服务：

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

产品返修：用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之
前，请先致电米尔科技客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不
必要的运费损失及周期的耽误。

维修周期：收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间
内维修或更换并寄回。一般的故障维修周期为 3 个工作日（自我司收到物品之日起，不计

运输过程时间)，由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

维修费用：在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

运输费用：产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户的费用由我司承担。非正常保修产品来回运费均由用户承担。

购买请联系：

电话：0755-25622735

传真：0755-25532724

邮箱：sales@myirtech.com

网站：www.myir-tech.com

技术支持请联系：

电话：0755-25622735

传真：0755-25532724

邮箱：support@myirtech.com

网站：www.myir-tech.com