

MYC-C7Z010-20-V2 产品手册



版本：V1.3

日期：2025 年 7 月 23 日

深圳市米尔电子有限公司

版本历史

版本	作者		参与者	日期	备注
V1.0	Sender			2022/05/18	初版
V1.1	Sender			2023/02/22	补充说明 JTAG 的启动配置
V1.2	Sender			2023/12/13	更改管脚编号和管脚名称
V1.3	MHW544			2025/07/23	更新排版格式；增加极限参数； 更新 web 地址；更新系统框图；

说明：本文档及涉及到的产品相关参数仍存在潜在变动可能，最终产品以最终发布时版本为准



目录

1	产品概述	4
2	应用领域	4
3	订购信息	5
4	硬件资源	6
4.1	功能框图	6
4.2	型号标准	6
4.3	主要参数	8
4.4	电气特性	8
4.4.1	主要电源 (VDD_5V)	8
4.4.2	电源域	8
4.4.3	电源功耗	9
4.4.4	GPIO 直流特性	9
4.5	系统配置和启动	9
4.5.1	BOOT 模式设置	9
4.5.2	Reset and Switch	10
4.6	SDMMC 接口	10
4.7	UART 接口	11
4.8	USB 接口	11
4.9	Ethernet 接口	12
4.10	SPI 接口	13
4.11	JTAG 接口	13
4.12	HDMI 接口	14
4.13	LCD 接口	15
4.14	FMC 接口	16
4.15	FPC 接口	17
4.16	RTC 电池接口	18
4.17	CAN 接口	18
4.18	GPIO 接口	19
4.18.1	GPIO 引脚描述	19
4.18.2	核心板内部资源管脚说明	19
5	外形尺寸	21
5.1	板卡结构尺寸	21



5.2	核心板 BTB 封装	22
5.3	PCB 设计需求	22
6	引脚定义	22
6.1	引脚示意图	22
6.2	核心板引脚对照表	24
7	电气性能参数	38
7.1	极限参数	38
7.2	电气特性	39
8	配套开发板	39
附录一	免责声明	41
附录二	联系我们	42
附录三	技术支持说明	43



1 产品概述

MYC-C7Z010-20-V2 核心板是基于 Xilinx Zynq-7010/7020 作为核心处理器的嵌入式最小系统板卡。采用了 Xilinx 基于 28nm 工艺流程的 Zynq-7000 All Programmable SoC 平台，将 ARM 处理器和 FPGA 架构紧密集成，PS 单元拥有双核 ARM Cortex-A9 MPCore 的高性能低功耗特性，在设计中能更好的满足各种工业需要。主板搭载串口，网口，MMC/SD/SDIO 卡接口，ADC 接口，CAN 等接口，支持 Linux，资料提供包括用户手册，PDF 底板原理图，外扩接口驱动，BSP 源码包，开发工具等。为开发者提供了完善的软件开发环境，降低产品开发周期，实现产品快速上市。

关于上述资料及开发板资料，可以前往以下地址进行下载：

<https://www.myir.cn/shows/117/46.html>

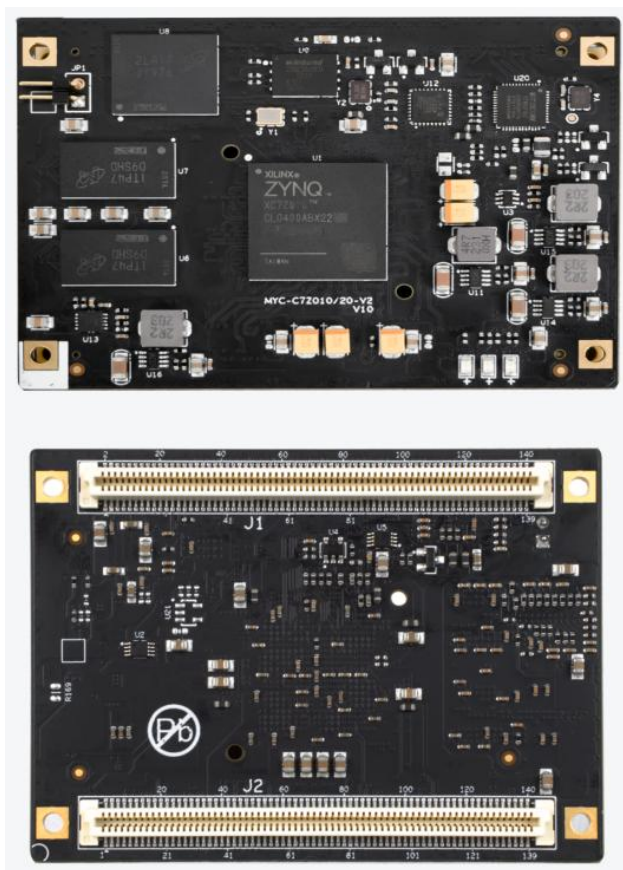


图 1 MYC-C7Z010-20-V2 核心板正反面实物图

2 应用领域

- 工程机械



- 工业自动化
- 医疗设备

3 订购信息

MYC-C7Z010-20-V2 系列核心板包含 2 种标准产品型号和 2 种选配型号：它们在 CPU、DRAM、eMMC、工作温度方面有一些差异，客户可根据需求自行选择合适的型号。针对批量要求，米尔提供定制服务，可以选配核心板参数。

表 1 MYC-C7Z010-20-V2 核心板选型表

型号	配置	包装方式	MPQ 最小订购数量
MYC-C7Z010-V2-4E1D-667-I	工业级，-40℃-85℃， 4GB EMMC，1GB DDR3	托盘	50PCS
MYC-C7Z020-V2-4E1D-766-I	工业级，-40℃-85℃， 4GB EMMC，1GB DDR3	托盘	50PCS
MYC-C7Z010-V2-4E1D-667-C	商业级，0℃-70℃， 4GB EMMC，1GB DDR3	托盘	50PCS
MYC-C7Z020-V2-4E1D-766-C	商业级，0℃-70℃， 4GB EMMC，1GB DDR3	托盘	50PCS



4 硬件资源

4.1 功能框图

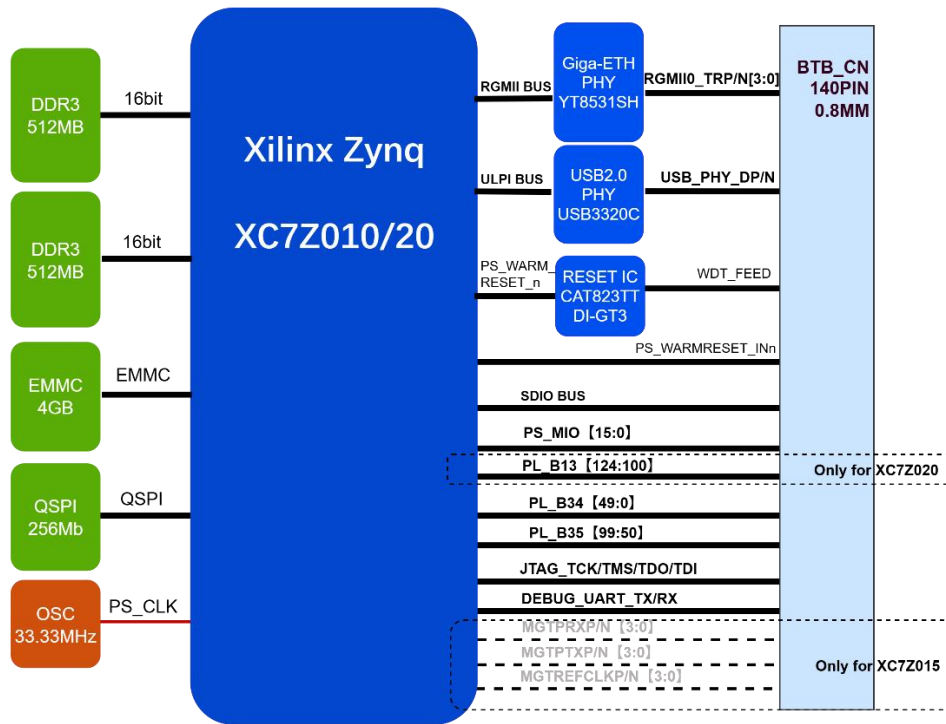


图 2 MYC-C7Z010-20-V2 核心板系统框图

4.2 型号标准

根据 CPU 型号、存储器件、工作温度、内部配置等参数的不同, MYC-C7Z010-20-V2 核心板细分为 4 种型号, 请从以下列表中选择最适合您的型号。

表 2 MYC-C7Z010-20-V2 核心板选型 1

型号规格	MYC-C7Z010-V2-4E1D-667-I	MYC-C7Z020-V2-4E1D-766-I
主芯片	ZYNQ7000	ZYNQ7000
主芯片系列	XC7Z010-1CLG400I	XC7Z020-2CLG400I
内核	Cortex-A9	Cortex-A9
主频	667MHz	766MHz
操作系统	Linux	Linux
EMMC	4G	4G
内存	1G DDR3	1G DDR3
存储器	256Mb Flash	256Mb Flash



UART	2 路	2 路
CAN	2 路	2 路
USB /OTG	2 路	2 路
以太网	2 路 RGMII / RMII	2 路 RGMII / RMII
I2C	2 路	2 路
SPI	2 路	2 路
GPIO	54 路 (最高)	54 路 (最高)
供电电压	+3.3V、1.8V、1.0V、1.5V	+3.3V、1.8V、1.0V、1.5V
机械尺寸	75*55*8.3mm	75*55*8.3mm
工作温度	-40℃ - +85℃	-40℃ - +85℃
封装引脚数	400	400
相关认证	CE / ROHS	CE / ROHS

表 3 MYC-C7Z010-20-V2 核心板选型 2

型号 规格	MYC-C7Z010-V2-4E1D-667-C	MYC-C7Z020-V2-4E1D-766-C
主芯片	ZYNQ7000	ZYNQ7000
主芯片系列	XC7Z010-1CLG400C	XC7Z020-2CLG400C
内核	Cortex-A9	Cortex-A9
主频	667MHz	766MHz
操作系统	Linux	Linux
EMMC	4G	4G
内存	1G DDR3	1G DDR3
存储器	256Mb Flash	256Mb Flash
UART	2 路	2 路
CAN	2 路	2 路
USB /OTG	2 路	2 路
以太网	2 路 RGMII / RMII	2 路 RGMII / RMII
I2C	2 路	2 路
SPI	2 路	2 路
GPIO	54 路 (最高)	54 路 (最高)
供电电压	+3.3V、1.8V、1.0V、1.5V	+3.3V、1.8V、1.0V、1.5V
机械尺寸	75*55*8.3mm	75*55*8.3mm
工作温度	0℃ - +70℃	0℃ - +70℃
封装引脚数	400	400



相关认证	CE / ROHS	CE / ROHS
------	-----------	-----------

4.3 主要参数

- 主控芯片系列: Xilinx Zynq 7000 系列
- 主控芯片型号: XC7Z010-1CLG400C (标准配置)
XC7Z020-2CLG400C (标准配置)
- 处理器规格: 667/766MHz ARM Cortex-A9
- 内存: DDR3(256Mbx16)
- 存储器: QSPI Flash(256Mb) 、EMMC(4GB)
- 核心板尺寸: 75 x 55 x 8.3 mm
- 接口类型: 板对板连接器, 1x2 140Pin,0.8mm
- PCB 板规格: 10 层板设计, 沉金工艺
- 操作系统: Linux

4.4 电气特性

4.4.1 主要电源 (VDD_5V)

MYC-C7Z010-20-V2 核心板的主要供电电源是 VDD_5V, 对应连接器 J1、J2 的 1、2、3、4 引脚。为了保证正常工作, 底板必须提供 $5V \pm 5\%$ 的电压, 并确保供电电路的输出能力可以满足核心板的功耗。表 4 列出了各条件下核心板的功耗和电流, 在设计供电电路时请预留合适的余量。如果对散热有较高要求可以使用散热器。

4.4.2 电源域

外部供电电压需要底板提供相应的电压, 内部产生电压是核心板转换产生, 不需要额外供电。

核心板使用 VDD_5V 供电, 由电源管理芯片产生多个不同电压以满足 MPU,DDR3, Flash 等等模块的供电。完整的电源芯片型号为 MP2143DJ-LF-Z。

表 4 外部供电电压

名称	描述	推荐电压值
VDD_5V	5V 输入, 主要供应电压	5V



4.4.3 电源功耗

表 5 电源功耗参数

工作条件	电源电压(V)	平均电流(mA)	峰值电流(mA)	总功耗 (mW)
During boot	5	200	250	1000
Full-load 阶段	5	280	290	1400

4.4.4 GPIO 直流特性

表 6 GPIO DC 特性

参数	标号	最小值	推荐值	最大值	单位	说明
3.3V 高平输入电压	V_{IH}	2.0	3.3	3.45	V	—
3.3V 低电平输入电压	V_{IL}	-0.3	—	0.8	V	—
1.8V 高电平输入电压	V_{IH}	1.17V	1.8V	2.1V	V	—
1.8V 低电平输入电压	V_{IL}	-0.3	—	0.63	V	—
3.3V 高电平输出电压	V_{OH}	2.9	—	—	V	—
3.3V 低电平输出电压	V_{OL}	—	—	0.4	V	—
1.8V 高电平输出电压	V_{OH}	1.35	—	—	V	—
1.8V 低电平输出电压	V_{OL}	—	—	0.45	V	—

4.5 系统配置和启动

4.5.1 BOOT 模式设置

MYC-C7Z010-20-V2 系列处理器启动时会首先执行芯片内部 Boot ROM 中的程序。

Boot ROM 启动时通过读取 BOOT 管脚进入不同的启动模式。具体对应如下：

表 7 处理器启动模式配置

Boot Pin 1	Boot Pin 2	Initial Boot Source	说明
0	0	JTAG	设置 JTAG 方式启动
0	1	QSPI	Default
1	1	Micro SD	设置 Micro SD 卡方式启动



决定启动源的有二个管脚，Boot Pin (1:2) 分别是 SD_BOOT_CONF_H (PS_MIO4) ,S_JTAG_H (PS_MIO5) 管脚。这些管脚在核心板内增加上拉和下拉设计。

注意：在配套开发板使用时 V12 版本 JTAG 模式启动需要手动把核心板背面的电阻 R12 换到 R10 上，跳线帽 JP2,JP3 都不闭合。V10 版本不需要更换电阻，跳线帽不闭合即可。

4.5.2 Reset and Switch

MYC-C7Z010-20-V2 核心板提供 2 个专用引脚，分别是 PS_WARMRESET_INn 和 WDT_RESETN，二者的功能不同，建议都接出来以作为不同的用途。

表 8 复位和 PWRON 引脚功能描述

引脚定义	说明
WDT_RESETN	核心板内部看门狗输出复位信号管脚。
PS_WARMRESET_INn	和底板可以搭配按键复位，为消除静电可并联一个 ESD 二极管。

4.6 SDMMC 接口

MYC-C7Z010-20-V2 核心板支持引出 MMC 接口。可采用芯片 TXS02612 进行扩展，把单个 SDIO 端口与两个 SDIO 外设进行接口。建议使用 MMC1 接口用于 Micro SD 电路,MMC2 用与 SDIO WIFI 或其他 SDIO 接口的外设。

表 9 MMC 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
D14	SDIO0_CLK	SD 卡	SD 卡时钟信号	1.8V	O	J1-P104	
C17	SDIO0_CMD	SD 卡	SD 卡命令/回复信号 I/O 口	1.8V	O	J1-P106	
E12	SDIO0_D1	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P108	
A9	SDIO0_D2	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P110	
F13	SDIO0_D3	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P112	
B15	SDIO0_D4	SD 卡	SD 卡数据信号 I/O 口	1.8V	IO	J1-P114	
D16	SDIO0_CD	SD 卡	SD 卡监测数据位 I/O 口	3.3V	IO	J1-P116	
B14	SDIO0_WP	SD 卡	SD 卡写入保护信号 I/O 口	3.3V	IO	J1-P118	



4.7 UART 接口

MYC-C7Z010-20-V2 核心板有高达九组的异步串口。由于芯片的管脚复用关系，核心板默认配置了 3 组串口，其中 UART1 带有流控制（RTS 和 CTS 信号）功能。

表 10 UART 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B12	UART1_TX	UART	UART 传输信号线	1.8V	O	J1-P122	
C12	UART1_RX	UART	UART 接收信号线	1.8V	I	J1-P124	

4.8 USB 接口

MYC-C7Z010-20-V2 核心板提供两个高速 USB2.0 控制器，可以配置为两路 HOST 接口或者一路高速 USB2.0 HOST，一路高速 USB 2.0 OTG。请使用 USB1 端口设计 USB2.0 OTG。采用 USB 收发器：USB3320C，芯片在核心板上通过它去连接到底板的 USB 座。

表 11 USB 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
C18	PS_MIO39	USB1	USB1-HS 接口 D7	1.8V	IO		
E16	PS_MIO31	USB1	USB1-HS 接口 NXT	1.8V	I		
C16	PS_MIO28	USB1	USB1-HS 接口 D4	1.8V	IO		
C15	PS_MIO30	USB1	USB1-HS 接口 STP	1.8V	O		
A14	PS_MIO32	USB1	USB1-HS 接口 D0	1.8V	IO		
D15	PS_MIO33	USB1	USB1-HS 接口 D1	1.8V	IO		
C13	PS_MIO29	USB1	USB1-HS 接口 DIR	1.8V	I		
A12	PS_MIO34	USB1	USB1-HS 接口 D2	1.8V	IO		
E13	PS_MIO38	USB1	USB1-HS 接口 D6	1.8V	IO		
A11	PS_MIO36	USB1	USB1-HS 时钟信号	1.8V	O		
F12	PS_MIO35	USB1	USB1-HS 接口 D3	1.8V	IO		
A10	PS_MIO37	USB1	USB1-HS 接口 D5	1.8V	IO		
	USB_PHY_DP	USB	USB1-HS 接口 DP	1.8V	IO	J1-P19	
	USB_PHY_DM	USB	USB1-HS 接口 DM	1.8V	IO	J1-P21	
	USB_PHY_ID	USB	USB1-HS 接口 ID	1.8V	I	J1-P25	



	USB_PHY_VBUS	USB	USB1-HS 接口 VBUS	1.8V	I	J1-P27	
	VBUS_SW_EN	USB	USB1-HS 接口 EN	1.8V	O	J1-P30	

4.9 Ethernet 接口

MYC-C7Z010-20-V2 核心板支持 2 路千兆网口，用户需设计 PHY 芯片电路和网口插座才能实现网络通信。千兆以太网控制器(GEM)实现了 10/100/1000mb/s 的以太网 MAC，兼容 IEEE 802.3-2008 标准，能够在所有三种速度下以半双工或全双工模式运行。控制器提供 MDIO 接口，用于 PHY 管理。可以从 MDIO 接口控制任意 PHY。

表 12 Ethernet 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
C11	PS_MIO53_501	PHY	LINK_MDIO_DATA	1.8V	O		
A17	PS_MIO20_501	PHY	LINK_RGMII0_TXD3	1.8V	I		
D10	PS_MIO19_501	PHY	LINK_RGMII0_TXD2	1.8V	I		
B18	PS_MIO18_501	PHY	LINK_RGMII0_TXD1	1.8V	I		
E14	PS_MIO17_501	PHY	LINK_RGMII0_TXD0	1.8V	I		
A19	PS_MIO16_501	PHY	LINK_RGMII0_TX_CLK	1.8V	I		
F14	PS_MIO21_501	PHY	LINK_RGMII0_TX_EN	1.8V	I		
A15	PS_MIO26_501	PHY	LINK_RGMII0_RXD3	1.8V	O		
B17	PS_MIO22_501	PHY	LINK_RGMII0_RX_CLK	1.8V	O		
C7	PS_POR_B_500	PHY	PS_PWRON_RESETn	1.8V	O		
F15	PS_MIO25_501	PHY	LINK_RGMII0_RXD2	1.8V	O		
A16	PS_MIO24_501	PHY	LINK_RGMII0_RXD1	1.8V	O		
D11	PS_MIO23_501	PHY	LINK_RGMII0_RXD0	1.8V	O		
D13	PS_MIO27_501	PHY	LINK_RGMII0_RX_EN	1.8V	O		
C10	PS_MIO52_501	PHY	LINK_MDIO_CLK	1.8V	O		
	RGMII0_TRP0	PHY	RGMII0_TRP0	1.8V	O	J1-P7	
	RGMII0_TRN0	PHY	PHY 差分信号线	1.8V	O	J1-P9	
	RGMII0_TRP1	PHY	PHY 差分信号线	1.8V	O	J1-P10	
	RGMII0_TRN1	PHY	PHY 差分信号线	1.8V	O	J1-P12	
	RGMII0_TRP2	PHY	PHY 差分信号线	1.8V	O	J1-P13	



	RGMII0_TRN2	PHY	PHY 差分信号线	1.8V	O	J1-P15	
	RGMII0_TRP3	PHY	PHY 差分信号线	1.8V	O	J1-P16	
	RGMII0_TRN3	PHY	PHY 差分信号线	1.8V	O	J1-P18	

4.10 SPI 接口

MYC-C7Z010-20-V2 核心板最大支持 2 路 SPI 控制器，支持主/从模式，SPI 信号包括 SPI_CLK、SPI_SS、SPI_MOSI 和 SPI_MISO，设计时要先确认主从设备的关系，确认 MOSI 和 MISO 信号的方向。核心板上默认配置了一路 SPI 接口，如果要使用更多的 QSPI 接口，请查询芯片手册进行配置。

表 13 QSPI 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B8	QSPI0_D0	QSPI	QSPI MOSI/DO 信号	3.3V	IO		
D6	QSPI0_D1	QSPI	QSPI MISO/D1 信号	3.3V	IO		
A7	QSPI0_CS0	QSPI	QSPI 片选信号	3.3V	IO		
A5	QSPI0_SCK	QSPI	QSPI 时钟信号	3.3V	IO		

4.11 JTAG 接口

标准的 JTAG 接口是 4 线:TMS、TCK、TDI、TDO，分别为模式选择、时钟、数据输入和数据输出线。JTAG 启动模式被认为是一种从模式启动。JTAG 链分为级联和独立两种配置方式。

表 14 JTAG 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
F9	JTAG_TCK	JTAG	JTAG clock signal	3.3V	IO	J1-P94	
G6	JTAG_TDI	JTAG	JTAG input signal	3.3V	IO	J1-P96	
F6	JTAG_TDO	JTAG	JTAG output signal	3.3V	IO	J1-P98	
J6	JTAG_TMS	JTAG	JTAG chip select signal	3.3V	IO	J1-P100	



4.12 HDMI 接口

MYC-C7Z010-20-V2 设计了 HDMI 接口，高清晰度多媒体接口是一种数字化视频接口技术，是适合影像传输的专用型数字化接口，其可同时传送影像信号，最高数据传输速度为 2.25GB/s，同时无需在信号传送前进行数/模或模/数转换。

注：底板设计 FPC 和 HDMI/LCD 视频信号为复用，使用时应避免冲突。

表 15 HDMI 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	HDMI	12 位输入像素数据总线	3.3V	I	J2-P31	
T15	IO_B34_LN5	HDMI	12 位输入像素数据总线	3.3V	I	J2-P33	
T16	IO_B34_LP9	HDMI	12 位输入像素数据总线	3.3V	I	J2-P27	
U17	IO_B34_LN9	HDMI	12 位输入像素数据总线	3.3V	I	J2-P29	
U18	IO_B34_LP12	HDMI	12 位输入像素数据总线	3.3V	I	J2-P28	
U19	IO_B34_LN12	HDMI	12 位输入像素数据总线	3.3V	I	J2-P30	
V16	IO_B34_LP13	HDMI	12 位输入像素数据总线	3.3V	I	J2-P9	
W16	IO_B34_LN13	HDMI	12 位输入像素数据总线	3.3V	I	J2-P11	
V16	IO_B34_LP18	HDMI	12 位输入像素数据总线	3.3V	I	J2-P24	
W16	IO_B34_LN18	HDMI	12 位输入像素数据总线	3.3V	I	J2-P26	
R16	IO_B34_LP19	HDMI	12 位输入像素数据总线	3.3V	I	J2-P23	
R17	IO_B34_LN19	HDMI	12 位输入像素数据总线	3.3V	I	J2-P25	
T17	IO_B34_LP20	HDMI	12 位输入像素数据总线	3.3V	I	J2-P18	
R18	IO_B34_LN20	HDMI	12 位输入像素数据总线	3.3V	I	J2-P20	
V17	IO_B34_LP21	HDMI	12 位输入像素数据总线	3.3V	I	J2-P14	
V18	IO_B34_LN21	HDMI	12 位输入像素数据总线	3.3V	I	J2-P16	
W18	IO_B34_LP22	HDMI	12 位输入像素数据总线	3.3V	I	J2-P13	
W19	IO_B34_LN22	HDMI	12 位输入像素数据总线	3.3V	I	J2-P15	
N17	IO_B34_LP23	HDMI	12 位输入像素数据总线	3.3V	I	J2-P17	



P18	IO_B34_LN23	HDMI	12 位输入像素数据总线	3.3V	I	J2-P19	
V13	IO_B34_LN3	HDMI	中断输出	3.3V	0	J2-P52	
D8	PS_MIO7	HDMI	复位信号	3.3V	I	J1-P133	

4.13 LCD 接口

MYC-C7Z010-20-V2 设计了 1 路 LCD 接口，此接口上定义了 LCD 及 Touch 信号：LCD 显示信号，Touch 信号，3.3V，DC_IN_5V 等。接口图如下。

注：底板设计 FPC 和 HDMI/LCD 视频信号为复用，使用时应避免冲突。

表 16 LCD 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	Display	显示数据信号	3.3V	IO	J2-P31	
T15	IO_B34_LN5	Display	显示数据信号	3.3V	IO	J2-P33	
T16	IO_B34_LP9	Display	显示数据信号	3.3V	IO	J2-P27	
U17	IO_B34_LN9	Display	显示数据信号	3.3V	IO	J2-P29	
U18	IO_B34_LP12	Display	显示数据信号	3.3V	IO	J2-P28	
U19	IO_B34_LN12	Display	显示数据信号	3.3V	IO	J2-P30	
V16	IO_B34_LP13	Display	显示数据使能	3.3V	IO	J2-P9	
W16	IO_B34_LN13	Display	显示像素时钟信号	3.3V	IO	J2-P11	
V16	IO_B34_LP18	Display	显示数据信号	3.3V	IO	J2-P24	
W16	IO_B34_LN18	Display	显示数据信号	3.3V	IO	J2-P26	
R16	IO_B34_LP19	Display	显示数据信号	3.3V	IO	J2-P23	
R17	IO_B34_LN19	Display	显示数据信号	3.3V	IO	J2-P25	
T17	IO_B34_LP20	Display	显示数据信号	3.3V	IO	J2-P18	
R18	IO_B34_LN20	Display	显示数据信号	3.3V	IO	J2-P20	
V17	IO_B34_LP21	Display	显示场信号	3.3V	IO	J2-P14	
V18	IO_B34_LN21	Display	显示行信号	3.3V	IO	J2-P16	
W18	IO_B34_LP22	Display	显示数据信号	3.3V	IO	J2-P13	



W19	IO_B34_LN22	Display	显示数据信号	3.3V	IO	J2-P15	
N17	IO_B34_LP23	Display	显示数据信号	3.3V	IO	J2-P17	
P18	IO_B34_LN23	Display	显示数据信号	3.3V	IO	J2-P19	
P15	IO_B34_LP24	Touch	电容触摸复位	3.3V	O	J2-P10	
P16	IO_B34_LN24	Touch	电容触摸中断	3.3V	O	J2-P12	
T19	IO_B34_25	Touch	无定义, 高电平有效	3.3V	IO	J2-P7	
R19	IO_B34_0	Touch	显示背光电源 PWM 控制	3.3V	O	J2-P8	

4.14 FMC 接口

MYC-C7Z010-20-V2 设计标准的 FMC 信号接口, FMC 接口为底板(载卡)上的 FPGA 提供标准的连接器和模块接口。通过这种方式将 I/O 接口与 FPGA 分离, 不仅简化 I/O 接口模块设计, 同时还最大化底卡的利用率。此型号为 ASP-134603-01, 规格是 Array Socket SKT 160Pin 1.27mm Solder。它具有兼容性: 标准化的电源, 规范的信号定义, 增加彼此的兼容性。

引脚定义: (由于引脚过多, 在此不展开描述, 例举几个特殊的说明, 详细引脚信息可查看其规格书和原理图。)

表 17 FMC 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
F9	JTAG_TCK	FMC	FMC_JTAG 时钟信号	3.3V	IO		
J6	JTAG_TMS	FMC	FMC_JTAG 模式选择	3.3V	IO		
G6	JTAG_TDI	FMC	FMC_JTAG 信号输入	3.3V	I		
F6	JTAG_TDO	FMC	FMC_JTAG 信号输出	3.3V	O		
	JTAG_TRST	FMC	FMC_JTAG_TRST 复位信号	3.3V	IO		
T11	IO_B34_LP1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P61	
T10	IO_B34_LN1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P63	
T12	IO_B34_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P62	
U12	IO_B34_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J2-P64	
U13	IO_B34_LP3	FMC	FMC_PRSENT 信号引脚	3.3V	IO	J2-P57	



C20	IO_B35_LP1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P45	
B20	IO_B35_LN1	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P47	
B19	IO_B35_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P71	
A20	IO_B35_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P73	
E17	IO_B35_LP2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P67	
D18	IO_B35_LN2	FMC	子卡到主板的差分时钟信号	3.3V	IO	J1-P69	

4.15 FPC 接口

MYC-C7Z010-20-V2 设计了一路 FPC 连接器。连接器型号为 FH12-50S-0.5SV, 规格为 50Pin-0.5mm-3.9mm Height。FPC 具有体积小, 重量轻, 厚度薄等特点。

注：底板设计 FPC 和 HDMI/LCD 视频信号为复用，使用时应避免冲突。

表 18 FPC 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
T14	IO_B34_LP5	Display	显示数据信号	3.3V	IO		
T15	IO_B34_LN5	Display	显示数据信号	3.3V	IO		
T16	IO_B34_LP9	Display	显示数据信号	3.3V	IO		
U17	IO_B34_LN9	Display	显示数据信号	3.3V	IO		
U18	IO_B34_LP12	Display	显示数据信号	3.3V	IO		
U19	IO_B34_LN12	Display	显示数据信号	3.3V	IO		
V16	IO_B34_LP13	Display	显示数据使能	3.3V	IO		
W16	IO_B34_LN13	Display	显示像素时钟信号	3.3V	IO		
V16	IO_B34_LP18	Display	显示数据信号	3.3V	IO		
W16	IO_B34_LN18	Display	显示数据信号	3.3V	IO		
R16	IO_B34_LP19	Display	显示数据信号	3.3V	IO		
R17	IO_B34_LN19	Display	显示数据信号	3.3V	IO		
T17	IO_B34_LP20	Display	显示数据信号	3.3V	IO		
R18	IO_B34_LN20	Display	显示数据信号	3.3V	IO		



V17	IO_B34_LP21	Display	显示场信号	3.3V	IO		
V18	IO_B34_LN21	Display	显示行信号	3.3V	IO		
W18	IO_B34_LP22	Display	显示数据信号	3.3V	IO		
W19	IO_B34_LN22	Display	显示数据信号	3.3V	IO		
N17	IO_B34_LP23	Display	显示数据信号	3.3V	IO		
P18	IO_B34_LN23	Display	显示数据信号	3.3V	IO		
P15	IO_B34_LP24	Touch	电容触摸复位	3.3V	O		
P16	IO_B34_LN24	Touch	电容触摸中断	3.3V	O		
T19	IO_B34_25	Touch	无定义, 高电平有效	3.3V	IO		
R19	IO_B34_0	Touch	显示背光电源 PWM 控制	3.3V	O		

4.16 RTC 电池接口

MYC-C7Z010-20-V2 支持 RTC 功能, 可依据外部设计需要选择。可通过 VBAT 引脚给 RTC 供电使能。EVK 底板设计中预留电池座子为 2Pinx1.25mm 间距设计, 配合使用 3.0V 纽扣电池, 也可以采用 I2C 接口连接 RTC 时钟 IC-DS3231A, 确保精度。

表 19 RTC 时钟 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
B13	PS_501_MIO_50	CAN	RTC_I2C_SCL	3.3V	I	J1-P126	
B9	PS_501_MIO_51	CAN	RTC_I2C_SDA	3.3V	O	J1-P128	

4.17 CAN 接口

MYC-C7Z010-20-V2 支持 2 路 CAN 控制器。符合 ISO 11898 -1、CAN 2.0A、CAN2.0B 标准。支持标准帧(11 位标识)和扩展帧(29 位标识)。支持 1mb /s 的码率。

表 20 CAN 接口 PIN 定义

MCU 引脚	标号	默认功能	功能描述	电平	输入/输出	核心板引脚	备注
D5	PS_MIO8	CAN	CAN_TXD	3.3V	I	J1-P113	
B5	PS_MIO9	CAN	CAN_RXD	3.3V	O	J1-P115	



4.18 GPIO 接口

4.18.1 GPIO 引脚描述

GPIO 外设提供了通过 MIO 模块控制多达 54 个设备引脚的软件。它还提供从可编程逻辑(PL)的 64 个输入和通过 EMIO 接口到 PL 的 128 个输出的访问。GPIO 被组织成四组寄存器，这些寄存器对相关的接口信号进行分组。每个 GPIO 作为输入、输出或中断传感是独立和动态编程的。软件可以使用单个加载指令读取银行内的所有 GPIO 值，或者使用单个存储指令将数据写入一个或多个 GPIO(在 GPIO 的范围内)。GPIO 控制和状态寄存器的内存映射在基址 0xE000 A000。

GPIO 模块分为四组:

- 1】 Bank0: 32 位 Bank 控制 MIO 引脚[31:0];
- 2】 Bank1: 22 位 Bank 控制 MIO 引脚[53:32] ; 注意:Bank1 被限制为 22 位, 因为 MIO 共有 54 个引脚;
- 3】 Bank2: 32 位 Bank 控制 EMIO 信号[31:0] ;
- 4】 Bank3: 32 位 Bank 控制 EMIO 信号[63:32];

注：软件通过一系列的内存映射寄存器来控制 GPIO。每个 Bank 的控制是相同的，尽管由于 MIO 和 EMIO 的功能不同，它们之间仅有一些小的差异。

4.18.2 核心板内部资源管脚说明

MYC-C7Z010-20-V2 核心板内部有使用一些 IO 资源，这些管脚已经设置为固定功能，不能更改这些管脚的资源分配。

此外考虑到用户基于米尔核心板进行产品开发时，可能希望更加自由地定义核心板资源，在进行管脚定义资源请排除以下管脚，且对其它管脚的定义不要与以下默认功能重复。

表 21 核心板内部资源引脚定义

MCU 引脚	默认功能	备注
E9	eMMC_D0	EMMC
E8	eMMC_D1	
C5	eMMC_D2	
C8	eMMC_D3	
C6	eMMC_CMD	



D9	eMMC_CLK	
U13	IO_B34_LP3	LED 指示灯
R11	FPGA_CONFIG_DONE	LED 指示灯 D7
E6	WDT_FEED	看门狗
D8	PS_500_RESET_OUTn	复位
A19	RGMII_TX_CLK	网络芯片
E14	RGMII_TXD0	网络芯片
B18	RGMII_TXD1	网络芯片
D10	RGMII_TXD2	网络芯片
A17	RGMII_TXD3	网络芯片
F14	RGMII_TX_EN	网络芯片
B17	RGMII_RX_CLK	网络芯片
D11	RGMII_RXD0	网络芯片
A16	RGMII_RXD1	网络芯片
F15	RGMII_RXD2	网络芯片
A15	RGMII_RXD3	网络芯片
D13	RGMII_RX_EN	网络芯片
C10	MDIO_CLK	网络芯片
C11	MDIO_DATA	网络芯片
MIO09		未使用
MIO50		未使用
MIO51		未使用



5 外形尺寸

5.1 板卡结构尺寸

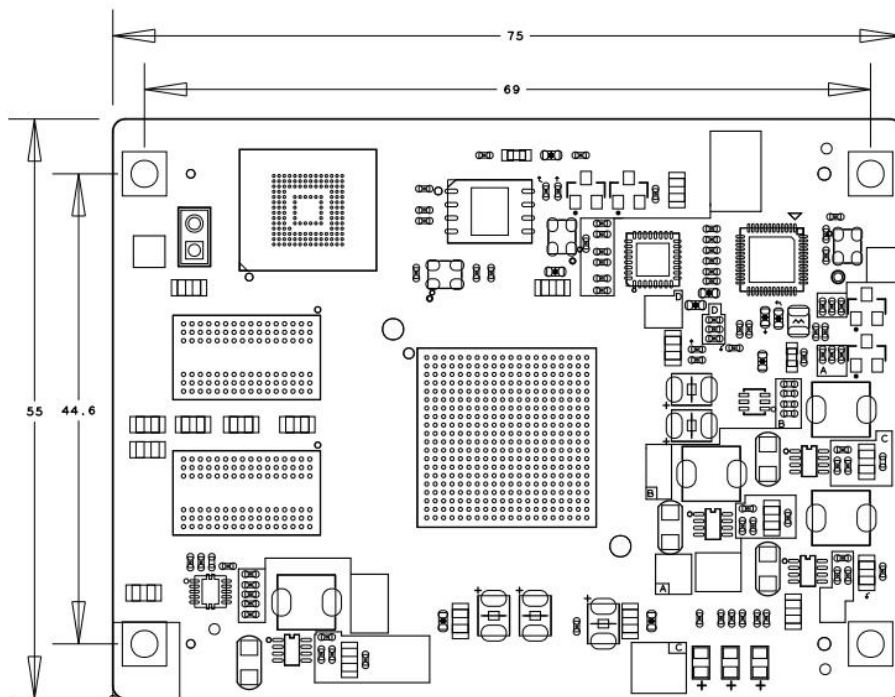


图 3 MYC-C7Z010-20-V2 核心板俯视图(单位: mm)

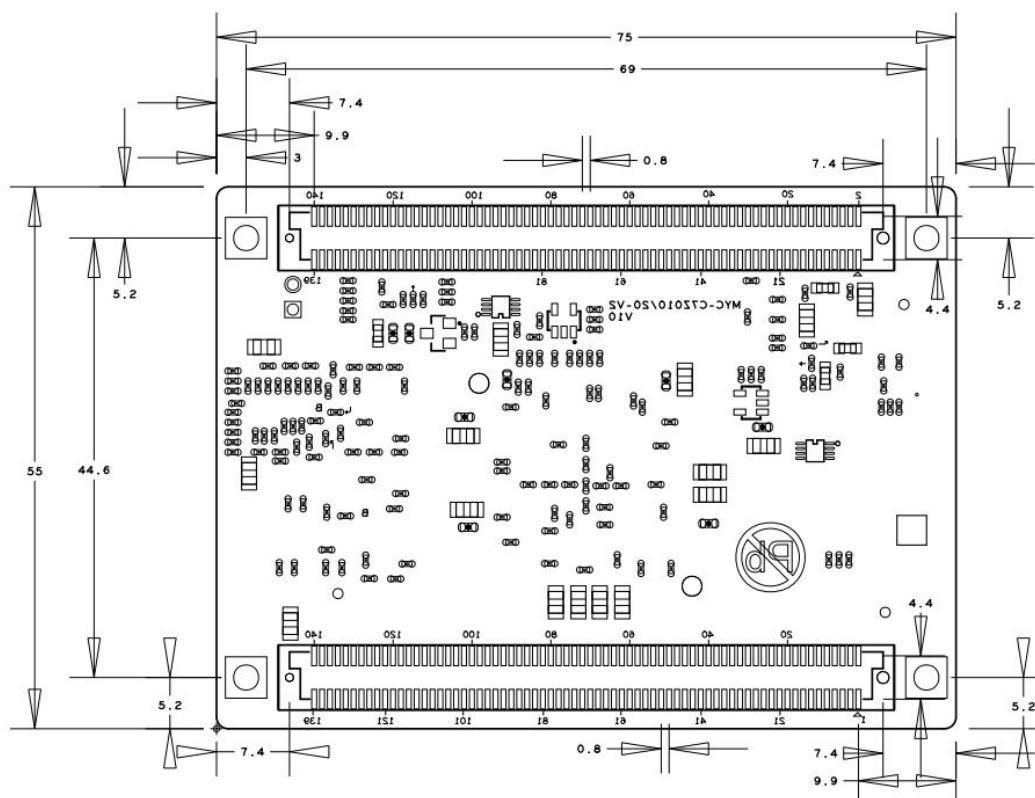


图 4 MYC-C7Z010-20-V2-核心板背面图(单位: mm)



5.2 核心板 BTB 封装

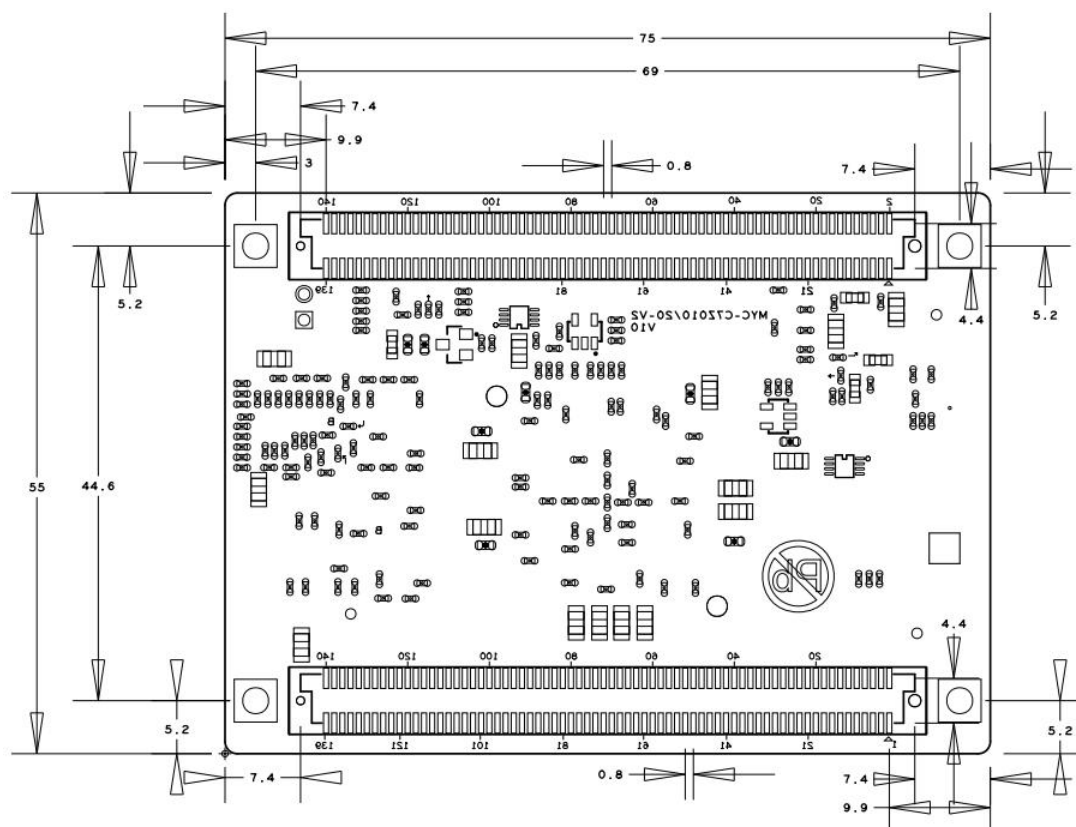


图 5 MYC-C7Z010-20-V2-核心板 BTB PCB 封装(单位: mm)

连接器引脚 140Pin 间距 0.8mm。米尔电子提供设计好 PCB 封装, 请前往米尔开发者中心下载。

5.3 PCB 设计需求

- PCB 板厚度建议不低于 1.6mm，并注意铜镀层的均衡。如果 PCB 在过炉后发生变形，建议使用载体固定过炉。
- 为确保安装和镀锡质量，请确保模块与 PCB 上其他组件之间的距离至少为 3mm。
- Core board 模块的封装请按照 4.2 章节设计，或者使用 MYIR Electronics 提供的 PCB 封装。

6 引脚定义

6.1 引脚示意图

MYC-C7Z010-20-V2 核心板和底板采用 0.8mm 间距的板对板连接器相连，底板封装设计请参考 4.2 章节的说明：

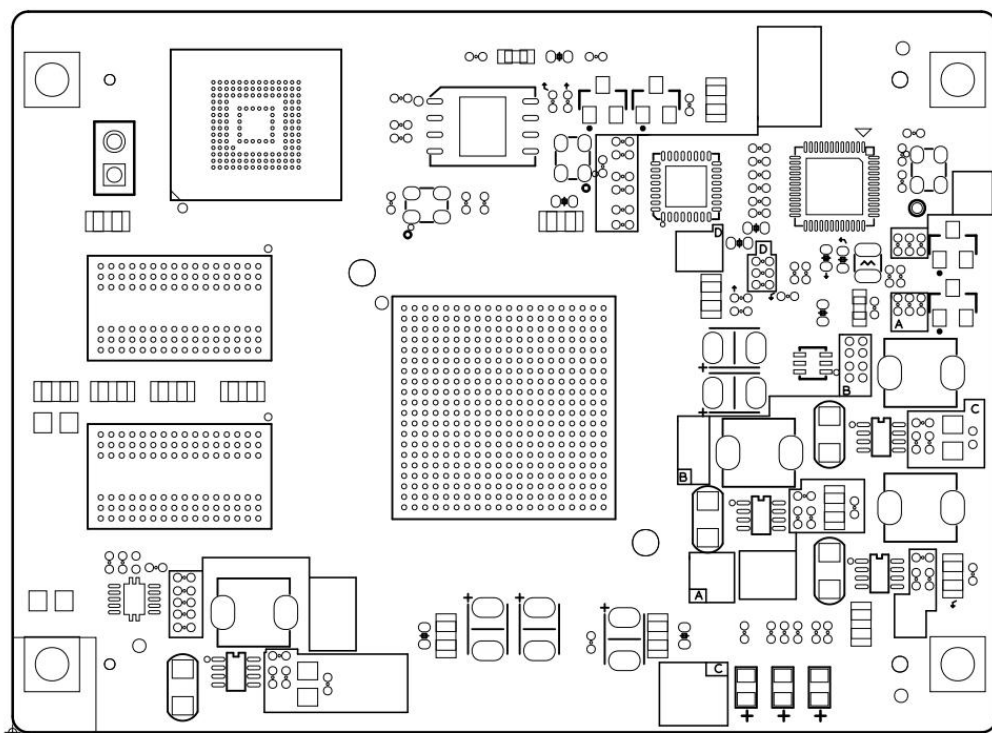


图 6 模块正面



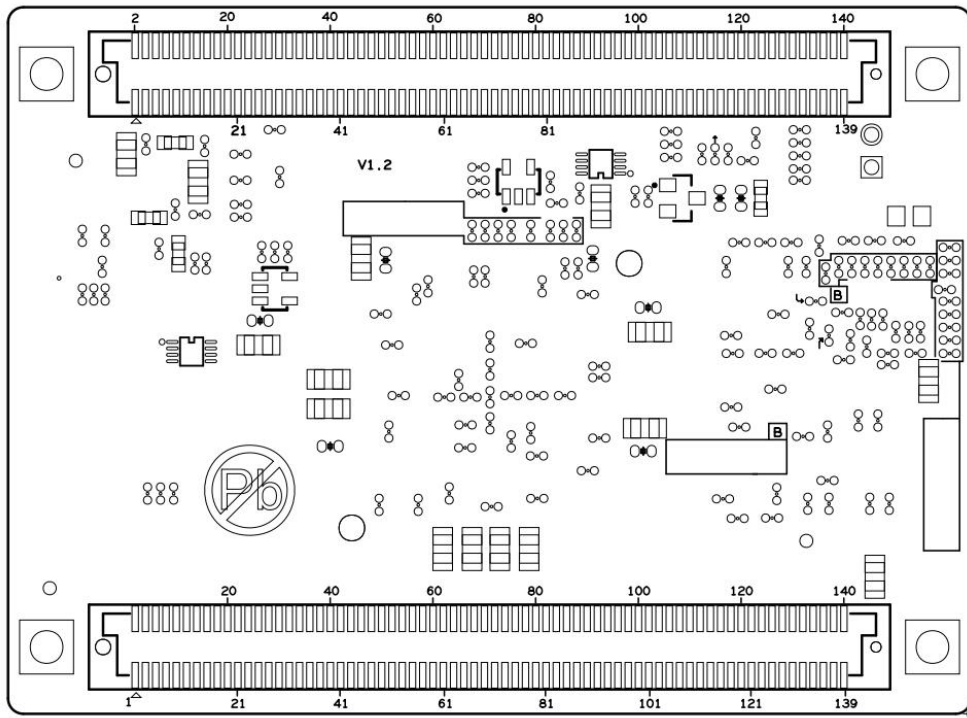


图 7 模块反面图

6.2 核心板引脚对照表

MYC-C7Z010-20-V2 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

表 22 MYC-C7Z010-20-V2 核心板 PIN LIST

核心板引脚	标号	默认功能	功能描述	电平	输入/输出	MCU 引脚	备注
J1-P1	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P2	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P3	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P4	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J1-P5	GND	GND	电源地	0V	—	—	
J1-P6	GND	GND	电源地	0V	—	—	
J1-P7	RGMII0_TRP0	RGMII	RGMII 差分信号	1.8V	IO	—	



核心板引脚	标号	默认功能	功能描述	电平	输入/输出	MCU 引脚	备注
J1-P8	GND	GND	电源地	0V	—	—	
J1-P9	RGMII0_TRN0	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P10	RGMII0_TRP1	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P11	GND	GND	电源地	0V	—	—	
J1-P12	RGMII0_TRN1	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P13	RGMII0_TRP2	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P14	GND	GND	电源地	0V	—	—	
J1-P15	RGMII0_TRN2	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P16	RGMII0_TRP3	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P17	GND	GND	电源地	0V	—	—	
J1-P18	RGMII0_TRN3	RGMII	RGMII 差分信号	1.8V	IO	—	
J1-P19	USB_PHY_DP	USB	USB 差分信号	1.8V	IO	—	
J1-P20	GND	GND	电源地	0V	—	—	
J1-P21	USB_PHY_DM	USB	USB 差分信号	1.8V	IO	—	
J1-P22	MDIO_CK	USB	USB 时钟信号	1.8V	I	—	
J1-P23	GND	GND	电源地	0V	—	—	



J1-P24	MDIO_DATA	USB	USB 数据信号	1.8V	O	—	
J1-P25	USB_PHY_ID	USB	USB 设备 ID 引脚	1.8V	I	—	
J1-P26	RGMII0_LED_ACT	RGMII	RGMII 灯应答信号	1.8V	O	—	
J1-P27	USB_PHY_VBUS	USB	USB VBUS 比较器输入引脚	1.8V	IO	—	
J1-P28	RGMII0_LED_LINK	RGMII	RGMII 灯连接信号	1.8V	O	—	
J1-P29	IO_B35_0	BANK35	FMC_CLK 信号引脚	3.3V	IO	G14	
J1-P30	VBUS_SW_EN	USB	USB 5V 使能引脚	1.8V	O	—	
J1-P31	IO_B35_LP7	BANK35	FMC_LA17_P_CC	3.3V	IO	M19	
J1-P32	GND	GND	电源地	0V	—	—	
J1-P33	IO_B35_LN7	BANK35	FMC_LA17_N_CC	3.3V	IO	M20	
J1-P34	IO_B35_LP18	BANK35	FMC_LA23_P	3.3V	IO	G19	
J1-P35	IO_B35_LP21	BANK35	FMC_LA13_P	3.3V	IO	N15	
J1-P36	IO_B35_LN18	BANK35	FMC_LA23_N	3.3V	IO	G20	
J1-P37	IO_B35_LN21	BANK35	FMC_LA13_N	3.3V	IO	N16	
J1-P38	IO_B35_LP9	BANK35	FMC_LA22_P	3.3V	IO	L19	
J1-P39	IO_B35_LP17	BANK35	FMC_LA14_P	3.3V	IO	J20	
J1-P40	IO_B35_LN9	BANK35	FMC_LA22_N	3.3V	IO	L20	
J1-P41	IO_B35_LN17	BANK35	FMC_LA14_N	3.3V	IO	H20	
J1-P42	IO_B35_LP11	BANK35	FMC_LA01_P_CC	3.3V	IO	L16	
J1-P43	GND	GND	电源地	0V	—	—	
J1-P44	IO_B35_LN11	BANK35	FMC_LA01_N_CC	3.3V	IO	L17	
J1-P45	IO_B35_LP1	BANK35	FMC_LA08_P	3.3V	IO	C20	
J1-P46	GND	GND	电源地	0V	—	—	
J1-P47	IO_B35_LN1	BANK35	FMC_LA08_N	3.3V	IO	B20	
J1-P48	IO_B35_LP4	BANK35	FMC_LA07_P	3.3V	IO	D19	
J1-P49	IO_B35_LP15	BANK35	FMC_LA09_P	3.3V	IO	F19	
J1-P50	IO_B35_LN4	BANK35	FMC_LA07_N	3.3V	IO	D20	
J1-P51	IO_B35_LN15	BANK35	FMC_LA07_P	3.3V	IO	F20	
J1-P52	IO_B35_LP8	BANK35	FMC_LA10_P	3.3V	IO	M17	



J1-P53	GND	GND	电源地	0V	—	—	
J1-P54	IO_B35_LN8	BANK35	FMC_LA10_N	3.3V	IO	M18	
J1-P55	IO_B35_LP12	BANK35	FMC_CLK0_M2C_P	3.3V	IO	K17	
J1-P56	IO_B35_LP16	BANK35	FMC_LA24_P	3.3V	IO	G17	
J1-P57	IO_B35_LN12	BANK35	FMC_CLK0_M2C_N	3.3V	IO	K18	
J1-P58	IO_B35_N16	BANK35	FMC_LA24_N	3.3V	IO	G18	
J1-P59	VDDIO_35_PL	3.3V 电源	由底板提供 3.3V 电源	3.3V	I	—	
J1-P60	VDDIO_35_PL	3.3V 电源	由底板提供 3.3V 电源	3.3V	I	—	
J1-P61	GND	GND	电源地	0V	—	—	
J1-P62	GND	GND	电源地	0V	—	—	
J1-P63	IO_B35_LP5	BANK35	FMC_LA06_P	3.3V	IO	E18	
J1-P64	IO_B35_LP10	BANK35	FMC_LA02_P	3.3V	IO	K19	
J1-P65	IO_B35_LN5	BANK35	FMC_LA06_N	3.3V	IO	E19	
J1-P66	IO_B35_LN10	BANK35	FMC_LA02_N	3.3V	IO	J19	
J1-P67	IO_B35_LP3	BANK35	FMC_LA03_P	3.3V	IO	E17	
J1-P68	IO_B35_LP14	BANK35	FMC_LA00_P_CC	3.3V	IO	J18	
J1-P69	IO_B35_LN3	BANK35	FMC_LA03_N	3.3V	IO	D18	
J1-P70	IO_B35_LN14	BANK35	FMC_LA00_N_CC	3.3V	IO	H18	
J1-P71	IO_B35_LP2	BANK35	FMC_LA04_P	3.3V	IO	B19	
J1-P72	IO_B35_LP6	BANK35	FMC_LA16_P	3.3V	IO	F16	
J1-P73	IO_B35_LN2	BANK35	FMC_LA04_N	3.3V	IO	A20	
J1-P74	IO_B35_LN6	BANK35	FMC_LA16_N	3.3V	IO	F17	
J1-P75	GND	GND	电源地	0V	—	—	
J1-P76	GND	GND	电源地	0V	—	—	
J1-P77	IO_B35_LP13	BANK35	FMC_CLK0_C2M_P	3.3V	IO	H16	
J1-P78	IO_B35_LP24	BANK35	FMC_LA15_P	3.3V	IO	K16	
J1-P79	IO_B35_LN13	BANK35	FMC_CLK0_C2M_N	3.3V	IO	H17	
J1-P80	IO_B35_LN24	BANK35	FMC_LA15_N	3.3V	IO	J16	



J1-P81	GND	GND	电源地	0V	—	—	
J1-P82	IO_B35_LP20	BANK35	FMC_LA20_P	3.3V	IO	K14	
J1-P83	IO_B35_LP19	BANK35	FMC_LA12_P	3.3V	IO	H15	
J1-P84	IO_B35_LN20	BANK35	FMC_LA20_N	3.3V	IO	J14	
J1-P85	IO_B35_LN19	BANK35	FMC_LA12_N	3.3V	IO	G15	
J1-P86	IO_B35_LP22	BANK35	FMC_LA19_P	3.3V	IO	L14	
J1-P87	IO_B35_LP23	BANK35	FMC_LA11_P	3.3V	IO	M14	
J1-P88	IO_B35_LN22	BANK35	FMC_LA19_N	3.3V	IO	L15	
J1-P89	IO_B35_LN23	BANK35	FMC_LA11_N	3.3V	IO	M15	
J1-P90	IO_B35_25	BANK35	FMC_SDA 信号	3.3V	IO	J15	
J1-P91	GND	GND	电源地	0V	—	—	
J1-P92	GND	GND	电源地	0V	—	—	
J1-P93	XADC_VCC	1.8V 电源	电源 1.8V 输出	1.8V	O	—	
J1-P94	JTAG_TCK	BANK0	JTAG_时钟信号	3.3V	IO	F9	
J1-P95	XADC_INP0	BANK0	XADC 差分信号线	1.8V	I	K9	
J1-P96	JTAG_TMS	BANK0	JTAG_片选信号	3.3V	IO	J6	
J1-P97	XADC_INN0	BANK0	XADC 差分信号线	1.8V	I	L10	
J1-P98	JTAG_TDI	BANK0	JTAG_输入信号	3.3V	IO	G6	
J1-P99	XADC_TEMP_P	BANK0	XADC 差分信号线	1.8V	I	M9	



J1-P100	JTAG_TDO	BANK0	JTAG_输出信号	3.3V	IO	F6	
J1-P101	XADC_TEMP_N	BANK0	XADC 差分信号线	1.8V	I	M10	
J1-P102	GND	GND	电源地	0V	—	—	
J1-P103	XADC_GND	XADC_GND	电源地	0V	—	—	
J1-P104	SDIO0_CLK	SD 卡	SD 卡时钟信号	1.8V	O	D14	
J1-P105	GND	GND	电源地	0V	—	—	
J1-P106	SDIO0_CMD	SD 卡	SD 卡命令信号	1.8V	O	C17	
J1-P107	PS_MIO0	BANK500	WDT_FEED	3.3V	O	E6	
J1-P108	SDIO0_D1	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	E12	
J1-P109	S_JTAG_H	BANK500	模式启动引脚	3.3V	I	A6	
J1-P110	SDIO0_D2	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	A9	
J1-P111	SD_BOOT_CONF_H	BANK500	模式启动引脚	3.3V	I	B7	
J1-P112	SDIO0_D3	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	F13	
J1-P113	PS_MIO8	CAN	CAN TX 信号	3.3V	O	D5	
J1-P114	SDIO0_D4	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	B15	
J1-P115	PS_MIO9	CAN	CAN RX 信号	3.3V	O	B5	
J1-P116	SDIO0_CD	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	D16	
J1-P117	PS_MIO10	EMMC	EMMC 数据信号	3.3V	IO	E9	



J1-P118	SDIO0_WP	SD 卡	SD 卡数据信号 IO 口	1.8V	IO	B14	
J1-P119	PS_MIO11	EMMC	EMMC 片选信号	3.3V	IO	C6	
J1-P120	GND	GND	电源地	0V	—	—	
J1-P121	PS_MIO12	EMMC	EMMC 时钟信号	3.3V	IO	D9	
J1-P122	UART1_TX	UART	UART 发送信号	1.8V	O	B12	
J1-P123	PS_MIO13	EMMC	EMMC 数据信号	3.3V	IO	E8	
J1-P124	UART1_RX	UART	UART 接收信号	1.8V	I	C12	
J1-P125	PS_MIO14	EMMC	EMMC 数据信号	3.3V	IO	C5	
J1-P126	PS_501_MIO_50	BANK500	I2C 时钟信号	1.8V	I	B13	
J1-P127	PS_MIO15	EMMC	EMMC 数据信号	3.3V	IO	C8	
J1-P128	PS_501_MIO_51	BANK500	I2C 数据信号	1.8V	O	B9	
J1-P129	GND	GND	电源地	0V	—	—	
J1-P130	FPGA_INITn	BANK0	FPGA_INITn 信号	3.3V	O	R10	
J1-P131	Sys_PG	电源 PG	系统输入电源 PG 信号	5V	O	—	
J1-P132	FPGA_WARMRESETn	BANK0	FPGA 唤醒信号	3.3V	I	L6	
J1-P133	PS_500_RESET_OUTn	BANK500	复位输出	1.8V	O	B7	
J1-P134	FPGA_INIT_DONE	BANK0	FPGA DONE 信号	3.3V	O	R11	
J1-P135	PS_WARMRESET_INn	BANK500	复位按键信号输入	1.8V	I	—	
J1-P136	VBAT_KEY_BACK_1.8V	BANK0	VBAT_1.8V 电源	1.8V	O	F11	



J1-P137	eMMC_RSTn	EMMC	EMMC 复位信号	3.3V	I	—	
J1-P138	VDDIO_501_PS	BANK501	PS 的 IO 电平	1.8V	O	E11	
J1-P139	VDDIO_500_PS	BANK500	PS 的 IO 电平	3.3V	O	C7	
J1-P140	GND	GND	电源地	0V	—	—	
J2-P1	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P2	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P3	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P4	VDD_5V	5V 电源	电源 5V 输入	5V	I	—	
J2-P5	GND	GND	电源地	0V	—	—	
J2-P6	GND	GND	电源地	0V	—	—	
J2-P7	IO_B34_25	BANK 34	供电使能高电平有效	3.3V	O	T19	
J2-P8	IO_B34_0	BANK 34	背光电源 PWM 控制	3.3V	O	R19	
J2-P9	IO_B34_LP13	BANK 34	显示数据使能	3.3V	O	N18	
J2-P10	IO_B34_LP24	BANK 34	电容触摸复位	3.3V	O	P15	
J2-P11	IO_B34_LN13	BANK 34	显示像素时钟信号	3.3V	O	P19	
J2-P12	IO_B34_LN24	BANK 34	电容触摸中断	3.3V	O	P16	
J2-P13	IO_B34_LP22	BANK 34	显示数据 B14	3.3V	O	W18	
J2-P14	IO_B34_LP21	BANK 34	显示场信号	3.3V	O	V17	
J2-P15	IO_B34_LN22	BANK 34	显示数据 B15	3.3V	O	W19	



J2-P16	IO_B34_LN21	BANK 34	显示行信号	3.3V	O	V18	
J2-P17	IO_B34_LP23	BANK 34	显示数据 B10	3.3V	O	N17	
J2-P18	IO_B34_LP20	BANK 34	显示数据 B11	3.3V	O	T17	
J2-P19	IO_B34_LN23	BANK 34	显示数据 B12	3.3V	O	P18	
J2-P20	IO_B34_LN20	BANK 34	显示数据 B13	3.3V	O	R18	
J2-P21	GND	GND	电源地	0V	—	—	
J2-P22	GND	GND	电源地	0V	—	—	
J2-P23	IO_B34_LP19	BANK 34	显示数据 B8	3.3V	O	R16	
J2-P24	IO_B34_LP18	BANK 34	显示数据 B6	3.3V	O	V16	
J2-P25	IO_B34_LN19	BANK 34	显示数据 B9	3.3V	O	R17	
J2-P26	IO_B34_LN18	BANK 34	显示数据 B7	3.3V	O	W16	
J2-P27	IO_B34_LP9	BANK 34	显示数据 B4	3.3V	O	T16	
J2-P28	IO_B34_LP12	BANK 34	显示数据 B2	3.3V	O	U18	
J2-P29	IO_B34_LN9	BANK 34	显示数据 B5	3.3V	O	U17	
J2-P30	IO_B34_LN12	BANK 34	显示数据 B3	3.3V	O	U19	
J2-P31	IO_B34_LP5	BANK 34	显示数据 B0	3.3V	O	T14	
J2-P32	IO_B34_LP14	BANK 34	FMC_LA21_P	3.3V	IO	N20	
J2-P33	IO_B34_LN5	BANK 34	显示数据 B1	3.3V	IO	T15	
J2-P34	IO_B34_LN14	BANK 34	FMC_LA21_N	3.3V	O	P20	



J2-P35	VDDIO_34_PL	BANK 34	由底板提供 3.3V 电源	3.3V	I	—	
J2-P36	VDDIO_34_PL	BANK 34	由底板提供 3.3V 电源	3.3V	I	—	
J2-P37	GND	GND	电源地	0V	—	—	
J2-P38	GND	GND	电源地	0V	—	—	
J2-P39	IO_B34_LP11	BANK 34	FMC_LA18_P_CC	3.3V	IO	U14	
J2-P40	IO_B34_LP15	BANK 34	FMC_LA25_P	3.3V	IO	T20	
J2-P41	IO_B34_LN11	BANK 34	FMC_LA18_N_CC	3.3V	IO	U15	
J2-P42	IO_B34_LN15	BANK 34	FMC_LA25_N	3.3V	IO	U20	
J2-P43	IO_B34_LP6	BANK 34	FMC_LA32_P	3.3V	IO	P14	
J2-P44	IO_B34_LP10	BANK 34	FMC_LA26_P	3.3V	IO	V15	
J2-P45	IO_B34_LN6	BANK 34	FMC_LA32_N	3.3V	IO	R14	
J2-P46	IO_B34_LN10	BANK 34	FMC_LA26_N	3.3V	IO	W15	
J2-P47	IO_B34_LP4	BANK 34	FMC_LA33_P	3.3V	IO	V12	
J2-P48	IO_B34_LP16	BANK 34	FMC_LA24_P	3.3V	IO	V20	
J2-P49	IO_B34_LN4	BANK 34	FMC_LA33_N	3.3V	IO	W13	
J2-P50	IO_B34_LN16	BANK 34	FMC_LA24_N	3.3V	IO	W20	
J2-P51	GND	GND	电源地	0V	—	—	
J2-P52	GND	GND	电源地	0V	—	—	
J2-P53	IO_B34_LP7	BANK 34	FMC_LA30_P	3.3V	IO	Y16	



J2-P54	IO_B34_LP17	BANK 34	FMC_LA29_P	3.3V	IO	Y18	
J2-P55	IO_B34_LN7	BANK 34	FMC_LA30_N	3.3V	IO	Y17	
J2-P56	IO_B34_LN17	BANK 34	FMC_LA29_N	3.3V	IO	Y19	
J2-P57	IO_B34_LP3	BANK 34	FMC_PRSNT_M2C_L	3.3V	IO	U13	
J2-P58	IO_B34_LP8	BANK 34	FMC_LA27_P	3.3V	IO	W14	
J2-P59	IO_B34_LN3	BANK 34	HDMI_INT	3.3V	IO	V13	
J2-P60	IO_B34_LN8	BANK 34	FMC_LA27_N	3.3V	IO	Y14	
J2-P61	IO_B34_LP1	BANK 34	FMC_LA31_P	3.3V	IO	T11	
J2-P62	IO_B34_LP2	BANK 34	FMC_LA28_P	3.3V	IO	T12	
J2-P63	IO_B34_LN1	BANK 34	FMC_LA31_N	3.3V	IO	T10	
J2-P64	IO_B34_LN2	BANK 34	FMC_LA28_N	3.3V	IO	U12	
J2-P65	GND	GND	电源地	0V	—	—	
J2-P66	GND	GND	电源地	0V	—	—	
J2-P67	IO_B13_LP3	BANK 13	PCIE_SMBCLK 时钟	3.3V	I	—	
J2-P68	IO_B13_LP7	BANK 13	SFP_DISABLED0 关断发射	3.3V	IO	—	
J2-P69	IO_B13_LN3	BANK 13	PCIE_SMBDAT 数据	3.3V	IO	—	
J2-P70	IO_B13_LN7	BANK 13	SFP_LOS0 LOS 告警	3.3V	IO	—	
J2-P71	IO_B13_LP4	BANK 13	PCIE 热拔插存在检测	3.3V	O	—	
J2-P72	IO_B13_LP8	BANK 13	PCIE 速率选择	3.3V	IO	—	



J2-P73	IO_B13_LN4	BANK 13	链接激活唤醒	3.3V	IO	—	
J2-P74	IO_B13_LN8	BANK 13	模块定义脚, I2C 通信数据线	3.3V	IO	—	
J2-P75	IO_B13_LP5	BANK 13	热拔插检测	3.3V	I	—	
J2-P76	IO_B13_LP9	BANK 13	模块定义脚, I2C 通信数据线	3.3V	IO	—	
J2-P77	IO_B13_LN5	BANK 13	PCIE 发射部分报错	3.3V	IO	—	
J2-P78	IO_B13_LN9	BANK 13	模块定义脚, 接地	3.3V	IO	—	
J2-P79	GND	GND	电源地	0V	—	—	
J2-P80	GND	GND	电源地	0V	—	—	
J2-P81	VDDIO_13_PL	BANK 34	由底板提供 3.3V 电源	3.3V	I	—	
J2-P82	VDDIO_13_PL	BANK 34	由底板提供 3.3V 电源	3.3V	I	—	
J2-P83	IO_B13_LP21	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V11	
J2-P84	IO_B13_0	BANK 13	扩展 IO	3.3V	IO	V5	
J2-P85	IO_B13_LN21	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V10	
J2-P86	IO_B13_LP16	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W10	
J2-P87	IO_B13_LP12	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	T9	
J2-P88	IO_B13_LN16	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W9	
J2-P89	IO_B13_LN12	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U10	
J2-P90	IO_B13_LP20	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y12	
J2-P91	IO_B13_LP17	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U9	



J2-P92	IO_B13_LN20	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y13	
J2-P93	IO_B13_LN17	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U8	
J2-P94	IO_B13_LP18	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W11	
J2-P95	GND	GND	电源地	0V	—	—	
J2-P96	IO_B13_LN18	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y11	
J2-P97	IO_B13_LP11	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	U7	
J2-P98	GND	GND	电源地	0V	—	—	
J2-P99	IO_B13_LN11	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V7	
J2-P100	IO_B13_LP14	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y9	
J2-P101	IO_B13_LP15	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V8	
J2-P102	IO_B13_LN14	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y8	
J2-P103	IO_B13_LN15	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W8	
J2-P104	IO_B13_LP13	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y7	
J2-P105	IO_B13_LP22	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	V6	
J2-P106	IO_B13_LN13	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	Y6	
J2-P107	IO_B13_LN22	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	W6	
J2-P108	IO_B13_LP19	BANK 13	仅 XC7Z020 Pmod 扩展 IO	3.3V	IO	T5	
J2-P109	GND	GND	电源地	0V	—	—	
J2-P110	IO_B13_LN19	BANK 13	只 XC7Z020 Pmod 扩展 IO	3.3V	IO	U5	



J2-P111	MGTPTXP0	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P112	GND	GND	电源地	0V	—	—	
J2-P113	MGTPTXN0	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P114	MGTPTXP2	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P115	GND	GND	电源地	0V	—	—	
J2-P116	MGTPTXN2	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P117	MGTPRXP0	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P118	GND	GND	电源地	0V	—	—	
J2-P119	MGTPRXN0	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P120	MGTPRXP2	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P121	GND	GND	电源地	0V	—	—	
J2-P122	MGTPRXN2	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P123	MGTPTXP1	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P124	GND	GND	电源地	0V	—	—	
J2-P125	MGTPTXN1	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P126	MGTPTXP3	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P127	GND	GND	电源地	0V	—	—	
J2-P128	MGTPTXN3	PCIE	发送差分传输信号	3.3V	IO	—	
J2-P129	MGTPRXP1	PCIE	接收差分传输信号	3.3V	IO	—	



J2-P130	GND	GND	电源地	0V	—	—	
J2-P131	MGTPRXN1	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P132	MGTPRXP3	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P133	GND	GND	电源地	0V	—	—	
J2-P134	MGTPRXN3	PCIE	接收差分传输信号	3.3V	IO	—	
J2-P135	MGTREFCLKP0	PCIE	PCIE 参考时钟正极差分信号	3.3V	IO	—	
J2-P136	GND	GND	电源地	0V	—	—	
J2-P137	MGTREFCLKN0	PCIE	PCIE 参考时钟负极差分信号	3.3V	IO	—	
J2-P138	MGTREFCLKP1	PCIE	100M 时钟正极差分信号	3.3V	IO	—	
J2-P139	GND	GND	电源地	0V	—	—	
J2-P140	MGTREFCLKN1	PCIE	100M 时钟负极差分信号	3.3V	IO	—	

7 电气性能参数

7.1 极限参数

极限参数标注了 MYC-C7Z010-20-V2 核心板允许的各项指标的极限值，超过极限值可能造成核心板工作不正常甚至损坏，使用前请确认使用环境及工作条件是否在此范围内。

表 23 核心板极限参数 MYC-C7Z010-V2-4E1D-667-I & MYC-C7Z020-V2-4E1D-766-I

项目	符号	最小值	最大值	单位	备注
工作温度	T_{op}	-40	85	°C	
贮存温度	T_{stg}	-40	85	°C	
湿度	-	5	90	%RH	不凝结的情况下



表 24 核心板极限参数 MYC-C7Z010-V2-4E1D-667-C & MYC-C7Z020-V2-4E1D-766-C

项目	符号	最小值	最大值	单位	备注
工作温度	T_{op}	0	70	°C	
贮存温度	T_{stg}	0	70	°C	
湿度	-	5	90	%RH	不凝结的情况下

7.2 电气特性

在 MYC-C7Z010-20-V2 核心板工作温度范围内，工作电流典型值的测量是在环境温度 25°C 的条件下，VIN 输入 5V，运行用户界面的情况下测得的值。

表 25 核心板电气性能参数

项目	符号	条件	最小值	典型值	最大值	单位
电源电压	VDD_5V		4.75	5	5.25	V
电源电流	I_{IN}	$V_{IN}=5V$		280		mA

8 配套开发板

MYD-C7Z010-20-V2 是一款基于 MYC-C7Z010-20-V2 核心板的开发套件。配备丰富的外设接口，可作为参考设计使用。支持文档和软件资源包括用户手册，PDF 原理图，外部扩展接口驱动程序，BSP 源代码包，开发工具等。这些文档和软件资源构成了一个集成的软件开发环境，可以帮助减少产品开发周期并快速启动。



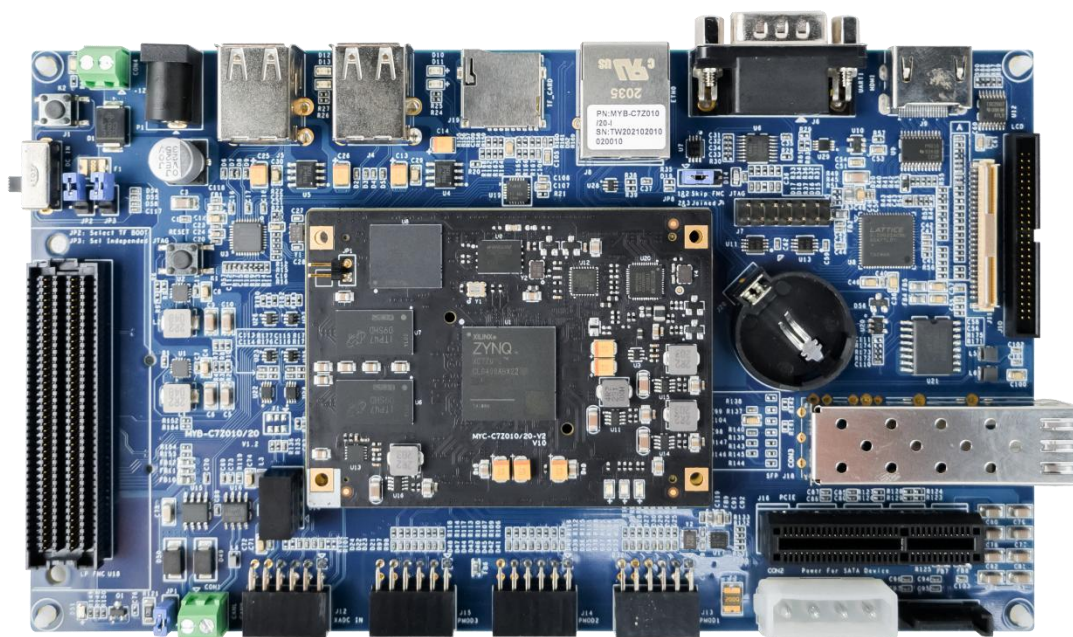


图 8 MYD-C7Z010-20-V2 开发套件



附录一 免责声明

本产品手册（以下简称“手册”）发布时，会尽可能的完全与正确。内容若有变动，恕不另行通知。本手册例子中所用公司、人名和数据若非特别声明，均属虚构。

未得到深圳市米尔电子有限公司（简称“米尔电子”）明确的书面许可，不得为任何目的、以任何形式或手段（电子的或机械的）复制或传播手册的任何部分。

深圳市米尔电子有限公司 版权所有



附录二 联系我们

深圳市米尔电子有限公司

销售邮箱: sales.cn@myir.cn

公司网址: <https://www.myir.cn>

深圳总部

联系电话: 0755- 25622735 / 17324413392

公司地址: 深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 604 室

生产基地

电话: 0755-21015844

地址: 深圳市龙华区观澜街道大富工业区圣建利工业园 C 栋厂房 2 楼

武汉研发中心

电话: 027-59621648

地址: 武汉东湖新技术开发区关南园一路 20 号当代科技园 4 号楼 1601 号

上海办事处

联系电话: 021-62087019

地址: 上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

北京办事处

联系电话: 010-84675491 / 13316862895

地址: 北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室



附录三 技术支持说明

MYIR 的理念是“专业服务助力开发者成功”。

为了协助客户更加快速高效地使用我公司产品，MYIR 通过各地办事处提供完善周到的技术支持服务。

➤ 产品开发资料：

- MYIR 的所有开发板都提供配套资料光盘，资料光盘内容一般涉及如下内容：
- 产品使用手册
- 产品原理图(PDF 格式)
- 完整的例程代码、BSP 包
- 板载主要芯片技术手册
- 相应开发工具链（GNU 工具或 MDK 等第三方工具评估板）

➤ 技术支持范围

MYIR 对所销售的产品提供 6 个月的免费技术支持服务，技术支持服务范围：

- 所购买产品的软硬件资源，硬件保修
- 协助客户正确地使用和调试光盘内容中提供的例程代码
- 客户对于产品文档，操作、嵌入式软硬件平台使用的问题

由于嵌入式开发的特殊性，以下情况不在我们的免费技术支持服务范围，将根据情况酌情处理：

- 用户自行开发中遇到的软硬件问题，对硬件的修改和造成损坏
- 用户自行裁减编译运行嵌入式操作系统遇到的问题
- 用户自己在平台中自行开发、修改的程序
- 修改光盘的软件代码遇到的问题

如需了解米尔电子更多产品，请参阅米尔电子网站，致电或电邮我们，感谢您对我公司产品的关注！

